

ՀՀ ԳԱԱ ԻՆՖՈՐՄԱՏԻԿԱՅԻ ԵՎ ԱՎՏՈՄԱՏԱՑՄԱՆ ՊՐՈՔԼԵՄՆԵՐԻ ԻՆՍՏԻՏՈՒՏ

Հարությունյան Գուրգեն Էդիկի

ՆԵՐԿԱՌՈՒՑՎԱԾ ԹԵՍԱՏՅԻՆ ԼՈՒԾՈՒՄՆԵՐ
ՆԱՆՈՉԱՓԱԿԱՆ ՀԻՇՈՂ ՍԱՐՔԵՐԻ ԵՎ ՀԱՄԱԿԱՐԳԵՐԻ ՀԱՄԱՐ

Ե. 13.04 «Հաշվողական մեքենաների, համալիրների, համակարգերի և ցանցերի մաթեմատիկական և ծրագրային ապահովում» մասնագիտությամբ տեխնիկական գիտությունների դոկտորի գիտական աստիճանի հայցման ատենախոսության

ՍԵՂՄԱԳԻՐ

Երևան – 2018

ИНСТИТУТ ПРОБЛЕМ ИНФОРМАТИКИ И АВТОМАТИЗАЦИИ НАН РА

Арутюнян Гурген Эдикович

ВСТРОЕННЫЕ ТЕСТОВЫЕ РЕШЕНИЯ ДЛЯ НАНОМЕРНЫХ
УСТРОЙСТВ И СИСТЕМ ПАМЯТИ

АВТОРЕФЕРАТ

Диссертации на соискание ученой степени доктора технических наук по специальности Е.13.04 – “Математическое и программное обеспечение вычислительных машин, комплексов, систем и сетей”

Ереван – 2018

Ատենախոսության թեման հաստատվել է Երևանի պետական համալսարանում

Գիտական խորհրդատու՝ ֆիզ. մաթ. գիտ. դոկտոր Ս.Վ. Շուքրյան

Պաշտոնական ընդդիմախոսներ՝ տեխ. գիտ. դոկտոր Հ.Հ. Հարությունյան
տեխ. գիտ. դոկտոր Հ.-Յ. Վունդերլիխ
տեխ. գիտ. դոկտոր Ռ.Ռ. Ութար

Առաջատար կազմակերպություն՝ «Տեղեկատվական տեխնոլոգիաներ և միկրոէլեկտրոնիկա» ինտեգրացված համակարգերի ճարտարապետության համար» լաբորատորիա (Գրենոբլ, Ֆրանսիա)

Պաշտպանությունը կայանալու է 2018թ. մայիսի 18-ին, ժամը 15:00-ին, ՀՀ ԳԱԱ Ինֆորմատիկայի և ավտոմատացման պրոբլեմների ինստիտուտում, թիվ 037 “Ինֆորմատիկա” մասնագիտական խորհրդի նիստում (հասցեն՝ ք. Երևան, 0014, Պ. Սևակի փ., 1):

Ատենախոսությանը կարելի է ծանոթանալ ՀՀ ԳԱԱ ԻԱՊԻ գրադարանում:

Սեղմագիրն առաքված է 2018թ. ապրիլի 17-ին:

037 մասնագիտական խորհրդի գիտական քարտուղար, ֆիզ. մաթ. գիտ. դոկտոր



Հ.Գ. Սարուխանյան

Тема диссертации утверждена в Ереванском государственном университете

Научный консультант: доктор физ. мат. наук

С.К. Шукурян

Официальные оппоненты: доктор тех. наук
доктор тех. наук
доктор тех. наук

Г.А. Арутюнян
Х.-И. Вундерлих
Р.Р. Убар

Ведущая организация: Лаборатория «Информационные технологии и микроэлектроника в архитектуре интегрированных систем» (Гренобль, Франция)

Защита состоится 18-го мая 2018 года в 15:00 часов на заседании специализированного совета 037 “Информатики” Института проблем информатики и автоматизации НАН РА (адрес: Ереван 0014, ул. П. Севака, 1).

С диссертацией можно ознакомиться в библиотеке ИПИА НАН РА.

Автореферат разослан 17-го апреля 2018г.

Ученый секретарь специализированного совета 037, доктор физ. мат. наук



А.Г. Саруханян

ԱՇԽԱՏԱՆՔԻ ԸՆԴՀԱՆՈՒՐ ԲՆՈՒԹԱԳԻՐԸ

Թեմայի արդիականությունը

Նանոչափական հիշող սարքերի չափերի աննախադեպ փոքրացումը բերում է նախագծման էական բարդությունների, և դրան զուգընթաց էական առաջխաղացում են ապրում ներդրված թեստավորման և նորոգման լուծումներին ներկայացվող պահանջները նանոչափական բյուրեղների (չիպերի) բարձր արտադրողականություն և որակ ապահովելու համար: Ներդրված թեստավորման մոտեցումները, որոնք առաջարկվել են մի քանի տարի առաջվա նախագծերի համար, չեն բավարարում արդի նախագծերի պահանջներին, քանի որ վերջիններս ավելի մեծ են, ավելի արագ, հիերարխիկ և շատ ավելի զգայուն են տարածքի, արագագործության և էներգիայի նկատմամբ: Նույն կերպ արդի ներդրված թեստավորման լուծումներն էլ իրենց հերթին ապագա տեխնոլոգիաների համար չեն կարող ապահովել թեստավորման որակի բավարար մակարդակ, ինչպես նաև անսարքությունների ախտորոշման բարձր ճշգրտություն և նորոգման արդյունավետություն, քանի որ ֆիզիկական թերությունների և անսարքությունների բազմությունը փոխվում է տեխնոլոգիաների չափերի փոքրացմանը զուգընթաց: Եվ շատ հաճախ անհրաժեշտություն է առաջանում կանխատեսել այդ փոփոխությունները:

Պատմականորեն մինչև վերջին ժամանակներն ինտեգրալ սխեմաների արագագործության բարելավումը հիմնականում կատարվում էր դրանց չափերի փոքրացման հաշվին: Միաժամանակ սխեմաների չափերի փոքրացման պրոցեսը դարձել է շատ դժվար՝ պայմանավորված դրանց չափերի փոքրացման ֆիզիկական սահմանափակումներով¹: Վերջին տարիներին երեք նոր գործոններ են ի հայտ եկել, որոնք ներկայումս ծանրակշիռ դեր ունեն ինտեգրալ սխեմաների արագագործության բարելավման մեջ.

1. անցում եռաչափ տրանզիստորներին,
2. անցում եռաչափ ինտեգրալ սխեմաներին,
3. թեստավորման համակարգի հիերարխիկ մոտեցում:

Առաջին գործոնը կապված է ինտեգրալ սխեմաների հիմնական տարրի՝ տրանզիստորի կառուցվածքի փոփոխման հետ²: Փոփոխման արդյունքում մեկ դարպաս (անզլերեն՝ gate) պարունակող հարթ տրանզիստորից անցում է կատարվել եռաչափ տրանզիստորի կառուցվածքին, որտեղ մասնակցում են մեկից ավելի դարպասներ: Փոփոխման հիմնական պատճառն այն էր, որ արդի հիշող սարքերում երկչափ տրանզիստորները այլևս ի զորու չէին կատարելու իրենց առջև դրված խնդիրները:

¹ P. Ranade, Y.-K. Choi, D. Ha, H. Takeuchi, T.-J. King, “Metal Gate Technology for Fully Depleted SOI CMOS”, International AVS Conference on Microelectronics and Interfaces, 2003, pp. 131-133.

² H.-W. Cheng, Y. Li, “16-nm Multigate and Multifin MOSFET Device and SRAM Circuits”, International Symposium on Next-Generation Electronics, 2010, pp. 32-35.

Եռաչափ տրանզիստորների մեջ լայն տարածում ունեն այնպիսի տրանզիստորները, որում մասնակցում են մեկ ֆին (անգլերեն՝ fin) և երեք դարպասներ, որոնք երեք կողմից պատում են ֆինին՝ մեծացնելով տրանզիստորի աշխատանքի արդյունավետությունը: Կալիֆոռնիայի համալսարանի հետազոտողները այդ տիպի տրանզիստորներին տվել են ՖինՖեՏ անվանումը՝ նկարագրելու դրա ֆին ունենալու և ոչ հարթ լինելու հատկությունները: ՖինՖեՏ տիպի տրանզիստորները³ լայնորեն օգտագործվում են 22 նանոմետր և ավելի փոքր չափ ունեցող հիշող սարքերում:

Կան նաև այլ տիպի եռաչափ տրանզիստորներ, ինչպիսին է բոլոր կողմերից դարպասներով պատված տրանզիստորը (անգլերեն՝ gate-all-around)⁴, որը պատրաստվում են օգտագործել հիմնականում 5 նանոմետր և ավելի փոքր չափ ունեցող հիշող սարքերում: Մեր հետազոտությունները ցույց են տվել, որ այս աշխատանքում առաջարկված ՖինՖեՏ եռաչափ տրանզիստորների թեստավորման լուծումը հնարավոր է հեշտությամբ հարմարեցնել «gate-all-around» և այլ եռաչափ տրանզիստորներով կառուցված հիշող սարքերի թեստավորման խնդիրները լուծելու համար:

Երկրորդ գործոնն այն է, որ միջկապային ազդանշանների հապաղումը սկսել է սահմանափակել ինտեգրալ սխեմաների արագագործությունը.

- ուղղահայաց կապերը թույլ են տալիս ավելի կարճ միացումներ (միկրոմետրերն ընդդեմ միլիմետրերի),
- որոշ հորիզոնական կապեր փոխակերպվում են ուղղահայաց կապերի՝ ավելացնելով ուղղահայաց կապերի քանակը:

Օգտագործելով ուղղահայաց կապերի տեխնոլոգիան՝ հարթ (երկչափ) ինտեգրալ սխեմաներից անցում է կատարվել եռաչափ ինտեգրալ սխեմաներին^{5,6}: Եռաչափ ինտեգրալ սխեմաները հնարավորություն են տալիս տեխնոլոգիաների չափերի փոքրացմանը զուգընթաց ապահովել բարձր արագագործություն: Բացի այդ, եռաչափ ինտեգրալ սխեմաներում հնարավորություն է տրվում ինտեգրել տարասեռ (հետերոգեն) և տարբեր տեխնոլոգիաների վրա հիմնված նախագծման բլոկներ (թվային տրամաբանական սխեմաներ, անալոգային և խառը ազդանշանային բլոկներ, ներդրված ստատիկ և դինամիկ նանոչափական հիշող սարքեր և այլն):

³ M. Jurczak, N. Collaert, A. Veloso, T. Hoffmann, S. Biesemans, “Review of FinFET Technology”, IEEE International SOI Conference, 2009, pp. 1-4.

⁴ D.-I. Moon, S.-J. Choi, J.P. Duarte, Y.-K. Choi, “Investigation of Silicon Nanowire Gate-All-Around Junctionless Transistors Built on a Bulk Substrate”, IEEE Transactions on Electron Devices, 2013, Vol. 60, No. 4, pp. 1355-1360.

⁵ R. S. Patti, “Three-Dimensional Integrated Circuits and the Future of System-on-Chip Designs”, Proceedings of the IEEE, 2006, Vol. 94, No. 6, pp. 1214-1224.

⁶ S. Deutsch, K. Chakrabarty, “Test and Debug Solutions for 3D-Stacked Integrated Circuits”, IEEE International Test Conference, 2015, pp. 1-10.

Այնուամենայնիվ, եռաչափի ինտեգրալ սխեմաների զարգացումը ուղղորդվում է դրանց արդյունավետ թեստավորման մեխանիզմների բացակայությամբ: Թեև թեստային մասնագետները եռաչափի ինտեգրալ սխեմաների համար լուծել են մի շարք կարևոր խնդիրներ (ինչպիսիք են թեստավորման հասանելիության ապահովումը եռաչափի ինտեգրալ սխեմաների յուրաքանչյուր շերտի համար, ջերմային խնդիրները և այլն), միևնույն է եռաչափի ինտեգրալ սխեմաների թեստավորման խնդիրները շարունակում են մնալ արդի ինտեգրալ սխեմաների թեստավորման ամենաառաջնային հիմնախնդիրներից մեկը:

Երրորդ գործոնն էլ այն է, որ բացի տրանզիստորների և հիշող սարքերի կառուցվածքային փոփոխություններից, փոփոխվում են նաև բյուրեղները. դրանք գնալով մեծանում են՝ իրենց հետ բերելով թեստավորման նոր խնդիրներ⁷: Եթե անցյալում պարզ բյուրեղներում օգտագործվում էր մեկ թեստավորման համակարգ, ապա արդի բյուրեղներում, որտեղ հանդիպում են բազում հիշող սարքեր և այլ նախագծման բլոկներ, օգտագործվում են մեկից ավելի թեստավորման ենթահամակարգեր: Այնուհետև, օգտագործելով այդ ենթահամակարգերը, կառուցվում է համակարգ բյուրեղի վրա՝ պահպանելով բյուրեղի հիերարխիայի տրամաբանությունը: Նման տիպի հիերարխիկ բյուրեղներում հաճախ բլոկ-մակարդակի կամ ենթահամակարգի թեստավորման ալգորիթմները վերաօգտագործվում են բյուրեղ-մակարդակում՝ հնարավորություն տալով էապես կրճատել և ունենալ ընդունելի թեստավորման ժամանակ:

Իհարկե, այս ուղղությամբ գոյություն ունեն բազմաթիվ աշխատանքներ, որոնք առաջարկում են զանազան մոտեցումներ թեստավորման և վերանորոգման խնդիրները լուծելու համար: Այնուամենայնիվ, արդի բյուրեղների թեստավորման խնդիրները ստեղծում են մեկ ընդհանուր թեստային մեթոդաբանություն ունենալու անհրաժեշտություն՝ վերը նշված խնդիրները լուծելու համար: Անհրաժեշտություն է դառնում նաև ստեղծել մի ընդհանուր թեստային ճարտարապետություն, որը կապահովի համակարգի հարմարեցման ճկունություն հայտնաբերելու ապագա տեխնոլոգիաների անսարքությունները, ինչպես նաև հնարավոր կլինի այն ինտեգրել գոյություն ունեցող թեստային համակարգերին և կիրառություններին:

Վերջերս առաջարկվել է ներկառուցված թեստավորման համակարգի (ՆԹՀ-ի) նոր լուծում, որը հիմնված է անսարքությունների և թեստային ալգորիթմների կանոնավորության, պարբերականության և սիմետրիկության հատկությունների վրա⁸: Առաջարկվել է անսարքությունները ներկայացնել անսարքությունների պարբերական աղյուսակի տեսքով, իսկ թեստային ալգորիթմները կառուցել թեստային ալգորիթմների շաբլոնի միջոցով:

⁷ D. Han, Y. Lee, S. Kang, "A New Multi-site Test for System-on-Chip Using Multi-site Star Test Architecture", ETRI Journal, 2014, Vol. 36, No. 2, pp. 293-300.

⁸ Գ.Է. Հարությունյան, "Թեստավորման արդյունավետ մոտեցում նանոչափական հիշող սարքերի համար", ՀՀ ԳԱԱ Զեկույցներ, 2017, 117 (1), էջեր՝ 35-43.

Անսարքությունների պարբերական աղյուսակում սյուները համապատասխանում են անսարքության մեջ ընդգրկված բջիջների քանակին, իսկ տողերը համապատասխանում են անսարքությունն ակտիվացնող գործողությունների քանակին: Անսարքությունների պարբերական աղյուսակը թույլ է տալիս հեշտությամբ վերլուծել և հիշել մեծ թվով անսարքություններ մեկ աղյուսակում, իսկ թեստային ալգորիթմների շարքումը թույլ է տալիս արագ և պարզ ձևով կառուցել թեստային ալգորիթմներ՝ առանց թեստային ալգորիթմների կառուցման գործիք օգտագործելու:

Անսարքությունների պարբերական աղյուսակը թույլ է տալիս նաև կանխատեսել ապագա տեխնոլոգիաների անսարքությունները: Հետևաբար դրա հիման վրա կառուցված միասնականացված ՆԹՀ-ն թույլ է տալիս հայտնաբերել նոր տիպի անսարքություններ նույնիսկ հիշող սարքի և ՆԹՀ-ի արտադրությունից հետո: Իսկ դա հնարավորություն է տալիս մեկ տեխնոլոգիայից մյուսին անցնելիս խուսափել նոր ՆԹՀ նախագծելուց, քանի որ գոյություն ունեցողը հնարավոր է դառնում հարմարեցնել նոր տեխնոլոգիայի թեստավորման պահանջներին: Փորձարկումները ցույց են տվել, որ անսարքությունների և թեստային ալգորիթմների կանոնավորության, պարբերականության և սիմետրիկության հատկությունները պահպանվել են նաև արդի ինտեգրալ սխեմաներում, և հետևաբար հնարավոր է դրանց վրա միասնականացված ՆԹՀ-ի կիրառումը՝ արդյունավետ թեստավորման լուծում ապահովելու համար⁹:

Աշխատանքի նպատակն ու խնդիրները

Աշխատանքի նպատակն է հիմք ստեղծել նանոչափական հիշող սարքերի համար զարգացում ապրող համապարփակ թեստային մեթոդաբանության համար, որը ընդգրկում է ոչ միայն նախագծման և արտադրության նախապատրաստական, այլ նաև արտադրական և շահագործման փուլերը: Մշակված հիմքը պետք է հեշտությամբ կիրառելի լինի և՛ թեստային մեթոդաբանության հետագա զարգացման համար, և՛ այժմյան կյանքում հանդիպող ամենավճռական թեստային լուծումներում, ինչպիսիք են ավտոմոբիլային բյուրեղները և IoT (Internet of Things) կիրառությունները:

Ներկայացված են հիշողության պարունակության աճի (մեկ բյուրեղում տաս հազարներով հիշող սարքեր) տենդենցները և մարտահրավերները, արտադրության և շահագործման փուլերում հայտնաբերված ֆիզիկական թերությունները, պրոցեսի շեղումների և ՖինՖեՏ տեխնոլոգիային հատուկ ֆիզիկական թերությունները, ինչպես նաև կարգաբերման, ախտորոշման, օգտակար ելքի օպտիմալացման և տվյալների պահպանման համար օգտագործվող ներկառուցված թեստավորման լուծումները: Աշխատանքում լուծված են նաև բյուրեղում սահմանափակ էներգիա ծախսելու, ժամանակային առնչությունների, թեստավորման պլանավորման օպտիմիզացիայի և բյուրեղի զբաղեցրած տարածքի նվազեցման խնդիրները:

⁹ Գ.Է. Հարությունյան, “Համապիտանի ներկառուցված թեստավորման համակարգ՝ հիմնված անսարքությունների պարբերական աղյուսակի և թեստային ալգորիթմների շարքումի վրա”, ՀՀ ԳԱԱ և ՀՊՃՀ Տեղեկագիր: Տեխնիկական գիտություններ, 2017, 70 (1), էջեր՝ 64-72.

Արդի բարձր հուսալիություն պահանջող բյուրեղները (օրինակ՝ ավտոմոբիլային բյուրեղները) պահանջում են զանազան ինքնաթեստավորման ռեժիմներ համակարգի ներսում, ինչպիսիք են ինքնաստուգման և ինքնավերանորոգման ռեժիմը համակարգը միացնելու պահին, պարբերական ինքնաթեստավորման ռեժիմը համակարգի աշխատանքի ընթացքում, առաջադեմ սխալ ուղղող կոդերը, և այլն: Առաջարկվող լուծումը պետք է հնարավորություն տա ստեղծել միասնականացված ներկառուցված թեստավորման համակարգ, ինչպես նաև կանխատեսել անսարքությունների տիպերը և թեստավորման մեխանիզմները ապագա տեխնոլոգիաների համար՝ հիմնված այն գիտելիքի վրա, որը ձեռք է բերվել ընթացիկ տեխնոլոգիայի իրականացման փուլում: Վերջապես, առաջարկված լուծումը պետք է լինի ճկուն, որպեսզի հնարավոր լինի այն ինտեգրել գոյություն ունեցող թեստային համակարգերին և կիրառություններին:

Հետազոտման օբյեկտը

Հետազոտման օբյեկտներ են հանդիսանում նանոչափական հիշող սարքերը և դրանց թեստավորման հիմնախնդիրները: Հետազոտման օբյեկտ են հանդիսանում նաև բյուրեղի այլ նախագծման բլոկները և դրանց թեստավորման լուծումները:

Հետազոտման մեթոդները

Աշխատանքում օգտագործվել են էլեկտրոնային սխեմաների և համակարգերի թեստավորման մեթոդները, դիսկրետ մաթեմատիկայի և օպտիմիզացիայի մեթոդները, բուլյան ֆունկցիաները, ավտոմատների տեսությունը, կոդավորման տեսությունը, հուսալիության տեսությունը և մեքենայի ուսուցման (machine learning) մեթոդները: Լայնորեն օգտագործվել են նաև սիմուլյացիայի, հիմնականում անսարքությունների սիմուլյացիայի տեխնիկաները՝ իրականացված փորձարկումները հիմնավորելու համար:

Արդյունքների գիտական նորությունը

- Առաջարկված է անսարքությունների ծրագրային մոդելավորման և թեստային ալգորիթմների կառուցման միասնականացված մեթոդաբանություն նանոչափական հիշող սարքերի համար, որն ընդգրկում է.
 - Նոր անսարքությունների մոդելներ, դրանց հիմնավորումը և արդյունավետ մեթոդներ դրանց սիմուլյացիայի և նոր մոդելների կառուցման համար,
 - Անսարքությունների դասակարգման և ախտորոշման ընթացակարգ,
 - Արդյունավետ թեստային ալգորիթմներ նոր տիպի անսարքությունների հայտնաբերման և ախտորոշման համար,
 - Ընդլայվող և դինամիկորեն հարմարեցվող ՆԹՀ ճարտարապետություն հիմնված բազային եռյակի վրա՝ թեստային գործողություններ, հասցեավորման մեթոդներ և նախագծին-տեղյակ ֆիզիկական տվյալներ,
 - Բազմաբիթ փափուկ սխալների հայտնաբերման և ուղղման նոր արդյունավետ մեթոդ:

- Առաջարկված է ընթացիկ և ապագա տեխնոլոգիաներով կառուցված հիշող սարքերում անսարքությունների կանխատեսման մեխանիզմ.
- Հիշող սարքերի հնարավոր անսարքությունները ընդգրկող և համակարգված ձևով զարգացող անսարքությունների պարբերական աղյուսակ՝ հիմնված անսարքությունների և թեստային ալգորիթմների պարբերականության ու կանոնավորության վրա,
- Թեստային ալգորիթմների շաբլոն, որը թույլ է տալիս կառուցել արդյունավետ թեստային ալգորիթմներ՝ որպես թեստային ալգորիթմների կառուցման հատարկման և էվրիստիկ մեթոդների այլընտրանք,
- Հատուկ նշանակումներ և չափողականություններ թեստային ալգորիթմների կառուցման օպտիմիզացիայի համար:
- Մշակված է հիերարխիկ թեստավորման ճարտարապետություն բյուրեղների համար, որն ապահովում է.
 - Նախագծման բլոկների կառուցվածքային մոդելների կառուցման արդյունավետ մեթոդ, որն անկախ է բլոկի նախագծման վերջնական իրականացումից,
 - Բյուրեղում տարբեր տիպի նախագծման բլոկների թեստավորման միասնականացված լուծում,
 - ՆԹՀ համակարգերի և նախագծման բլոկների զուգահեռ և հաջորդական թեստավորման պլանավորման ալգորիթմ:
- Հիմնավորված են մշակված մոտեցումների ինտեգրումն ու հարմարեցումը գոյություն ունեցող թեստային համակարգերին և կիրառություններին.
 - Կապ համակարգերի հետ, որոնք ապահովում են անհրաժեշտ լուծումներ բյուրեղների իրականացման գործընթացի ժամանակ, ինչպիսիք են ավտոմատ թեստային վեկտորների գեներացումը, նախագծման պլանավորումը, թեստավորման ժամանակի գնահատումը, օգտակար ելքի բարձրացումը, ֆիզիկական սխալների վերլուծությունը, անսարքությունների ծածկույթի և օգտակար ելքի հաղորդումը,
 - Լուծումներ, որոնք բավարարում են ֆունկցիոնալ ապահովության և անվտանգության պահանջներին:

Ստացված արդյունքների կիրառական նշանակությունը

Ստացված արդյունքները հիմք են ստեղծում նանոչափական բյուրեղների թեստավորման ամբողջական հիերարխիկ լուծման համար, որը բարձրացնում է թեստավորման արդյունավետությունը, կրճատում է թեստավորման ծախսերը և բարելավում է թեստավորման որակը: Կատարված աշխատանքը ոչ միայն հիմք է ծառայում այս բնագավառում հետագա հետազոտությունների կատարման համար, քանի որ ստացված արդյունքների վրա արդեն կան բազմաթիվ հղումներ այլ մասնագետների կողմից, այլ ինքնին ունի կիրառական լայն ուղղվածություն, որը կառուցված է նշված բազիսի հիման վրա և ծածկում է նախագծման, նախապատրաստական, արտադրության և շահագործման փուլերը:

Ներդրումներ

Արդյունքները ներդրվել են «Սինոփսիս» ընկերության DesignWare STAR Memory System (SMS) և STAR Hierarchical System (SHS) թեստավորման համակարգերում և լայնորեն կիրառվում են ավելի քան 200 պատվիրատու ընկերությունների կողմից: Աշխարհի 25 ամենամեծ կիսահաղորդիչներ օգտագործող ընկերություններից¹⁰ 10-ն իրենց արտադրանքի թեստավորման համար օգտագործում են այս արդյունքները: 2002-ին SMS համակարգը ստացել է Best in Test “Product of the Year” մրցանակը: Իսկ 2013-ին SMS համակարգը ստացել է Test & Measurement World Best in Test Award in “Test of Time” մրցանակը:

Պաշտպանությանը ներկայացվում են հետևյալ դրույթները

- Հարթ և ՖինՖեՏ տրանզիստորներով կառուցված նանոչափական երկչափ և եռաչափ հիշող սարքերի թեստավորման և նորոգման արդյունավետ ալգորիթմները,
- Անսարքությունների պարբերական աղյուսակը և թեստային ալգորիթմների շարունակը,
- Ապագա տեխնոլոգիաների հիշող սարքերի անսարքությունների կանխատեսման մեխանիզմը,
- Համապիտանի (ունիվերսալ) ներկառուցված թեստավորման հիերարխիկ համակարգի ճարտարապետությունը,
- Նախագծման բլոկների կառուցվածքային մոդելների նկարագրման արդյունավետ մեթոդը,
- Նախագծման բլոկների զուգահեռ և հաջորդական թեստավորման պլանավորման ալգորիթմը,
- Բազմաբիթ փափուկ սխալներից պաշտպանության մեթոդը:

Ստացված արդյունքների ապրոբացիան

Աշխատանքի հիմնական արդյունքները զեկուցվել են Միջազգային թեստավորման կոնֆերանսներում (ITC 2012, 2013, 2014, 2017), Գերմեծ ինտեգրացված սխեմաների թեստավորման գիտաժողովներում (VTS 2005, 2006, 2008, 2013, 2014, 2015, 2016), Եվրոպական թեստավորման գիտաժողովներում (ETS 2006, 2007, 2017), Ասիական թեստավորման գիտաժողովում (ATS 2011), Միջազգային առցանց թեստավորման գիտաժողովներում (IOLTS 2011, 2013, 2015, 2017), Էլեկտրոնային սխեմաների և համակարգերի նախագծման և ավտորոշման գիտաժողովներում (DDECS 2006, 2007), Արևելք-Արևմուտքի նախագծման և թեստավորման գիտաժողովներում (EWDTS 2006, 2007, 2010, 2012, 2013, 2014, 2015, 2016), Կոմպյուտերային գիտությունների և տեղեկատվական տեխնոլոգիաների միջազգային կոնֆերանսներում (CSIT 2005, 2009, 2011), ԵՊՀ Տեղեկատվական տեխնոլոգիաների կրթական և հետազոտական կենտրոնի

¹⁰ “Six Top 20 1Q15 Semiconductor Suppliers Show >20% Growth”, Research Bulletin, IC Insight, 2015.

ընդհանուր սեմինարում (2017), ՀՀ ԳԱԱ Ինֆորմատիկայի և ավտոմատացման պրոբլեմների ինստիտուտի ընդհանուր սեմինարում (2017), 2008թ.-ին արժանացել է Զ. Գորդոնի անվան մրցանակին (ԱՄՆ):

Հրապարակությունները

Աշխատանքի հիմնական արդյունքները տպագրված են 51 աշխատություններում, որոնցից 46-ը՝ գիտական հոդվածներում, 3-ը՝ շնորհված արտոնագրերում և 2-ը՝ արտոնագրերի հայտերում: Հրապարակությունների ցուցակը բերված է սեղմագրի վերջում:

Ատենախոսության կառուցվածքը և ծավալը

Ատենախոսությունը բաղկացած է ներածության բաժնից, 8 գլուխներից, ամփոփումից, գրականության ցանկից և 3 հավելվածներից: Աշխատանքի հիմնական մասը կազմում է 226 էջ, ունի 58 նկար և 57 աղյուսակ: Գրականության ցանկը զբաղեցնում է 24 էջ և ներառում է 177 աշխատություն: Ատենախոսության ընդհանուր ծավալը 247 էջ է:

Շնորհակալություն եմ հայտնում ՀՀ ԳԱԱ արտասահմանյան անդամ, դոկտոր Ե. Զորյանին և իմ գիտական խորհրդատու ՀՀ ԳԱԱ ակադեմիկոս, ֆ.մ.գ.դ., պրոֆեսոր Ս. Կ. Շուքուրյանին այս աշխատանքի կայացման մեջ իրենց օգտագար և շարունակական աջակցության համար:

ԱՇԽԱՏԱՆՔԻ ՀԻՄՆԱԿԱՆ ԲՈՎԱՆԴԱԿՈՒԹՅՈՒՆԸ

Ներածությունում հիմնավորված է թեմայի արդիականությունը, ձևակերպված է աշխատանքի նպատակը և բերված է աշխատանքի համառոտ նկարագրությունը:

Նկար 1-ում բերված է նանոչափական հիշող սարքերի զարգացման շղթան: Ինչպես երևում է նկարից՝ 90-ից մինչև 28 նանոմետրանոց հիշող սարքերում օգտագործվում էին երկչափ (2D) տրանզիստորներ և մեկ տեխնոլոգիայից մյուսին անցնելիս գոյություն ունեցող թեստավորման լուծումները հնարավոր էր լինում վերաօգտագործել: Հիմնական պատճառն այն էր, որ անցման ժամանակ փոփոխվում էին միայն հիշող սարքի չափերը և կառուցվածքային որևէ փոփոխություն տեղի չէր ունենում: Սակայն այդ թեստավորման լուծումների վերաօգտագործումը դարձավ անհնար 22 նանոմետր և ավելի փոքր չափ ունեցող հիշող սարքերում՝ պայմանավորված դրանցում եռաչափ տեխնոլոգիաների օգտագործումով: Նկար 1-ում պատկերված հիշող սարքերի զարգացման շղթան բավարարում է Ինտել ընկերության համահիմնադիր Գ. Մուրի կողմից բերված օրենքին (կոչվում է «Մուրի օրենք»)՝:

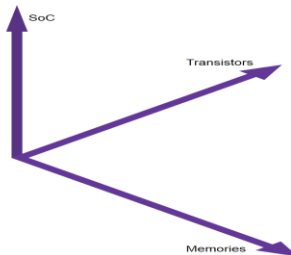
¹¹ G.E. Moore “Cramming More Components Onto Integrated Circuits”, Electronics, Vol. 38, No. 8, 1965, pp. 114-117.



Սկար 1. Նանոչափական տեխնոլոգիաների զարգացումը

1965թ. Մուրը կանխատեսել է, որ հիշող սարքի միավոր մակերեսում տրանզիստորներն ամեն 18 ամիսը մեկ կկրկնապատկվեն: Հատկանշական է, որ այս օրենքը գործում է մինչ օրս:

Սկար 2-ում նկարագրված են համակարգ բյուրեղի վրա և դրա զարգացման շղթան: Ինչպես երևում է նկարից բյուրեղները սկզբնական շրջանում պարունակում էին մեկ կենտրոնացված թեստավորման համակարգ, իսկ արդի բյուրեղներում հանդիպում են բազում թեստավորման համակարգեր՝ միմյանց միացված հիերարխիկ կապերով:



Սկար 2. Համակարգ բյուրեղի վրա և դրա զարգացումը

Առաջին գլխում ասհմանված են նանոչափական հիշող սարքերի առանձնահատկությունները, այդ սարքերում հանդիպող անսարքությունները, դրանց թեստավորող ալգորիթմները և ներկառուցված թեստային լուծումների հիմնական մոտեցումները: Հիմնավորվում է նաև, որ գոյություն ունեցող ներկառուցված լուծումները

բավարար չեն արդի նանոչափական հիշող սարքերի թեստային հիմնահարցերը լուծելու համար: Այդ իսկ պատճառով հիմնավորված է ինտեգրալ մեթոդաբանության գոյության անհրաժեշտությունը՝ նշված հիմնահարցերը լուծելու համար:

Անսարքությունների դասակարգումը

Ըստ դասակարգման անսարքությունները բաժանվում են *Չկապակցված* և *Կապակցված* անսարքությունների¹², որտեղ *Չկապակցված* անսարքությունները բաժանվում են երկու խմբի (*Ստատիկ* և *Դինամիկ*)¹³, իսկ *Կապակցված* անսարքությունները՝ երեք խմբի (*Ստատիկ-Ստատիկ*, *Ստատիկ-Դինամիկ* և *Դինամիկ-Դինամիկ*): Ստատիկ անսարքություններն ակտիվանում են հիշող սարքի վրա 0 կամ 1 գործողության կիրառման արդյունքում, իսկ դինամիկ անսարքությունները՝ 2 և ավելի հաջորդական գործողությունների կիրառման արդյունքում: Ինչպես ստատիկ, այնպես էլ դինամիկ անսարքությունները կարող են լինել մեկ կամ երկու բջջանոց: Մեկ բջջանոց անսարքությունները առաջանում են մեկ բջջի մեջ, իսկ երկու բջջանոց անսարքությունները՝ երբ մեկ բջջի (այսուհետ կանվանենք ագրեսոր բջիջ) վարքը ազդում է մեկ այլ բջջի (այսուհետ կանվանենք զոի բջիջ) արժեքի վրա:

Մարշ թեստ¹⁴

M մարշ թեստը մարշ տարրերի վերջավոր հաջորդականություն է՝ $M = \{M_1, M_2, \dots, M_k\}$, որտեղ $M_i = A_i(O_1, O_2, \dots, O_m)$ մարշ տարրը բաղկացած է.

- $A_i \in \{\uparrow, \downarrow, \leftrightarrow\}$ - հասցեավորման կարգից,
- $O_j \in \{R0, R1, W0, W1\}$ - վերջավոր թվով գրել/կարդալու գործողություններից:

Օրինակ՝ March MSS: $\leftrightarrow(W0)$; $\uparrow(R0, W1, W1, R1)$; $\uparrow(R1, W0, W0, R0)$; $\downarrow(R0, W1, W1, R1)$; $\downarrow(R1, W0, W0, R0)$; $\uparrow(R0)$ թեստային ալգորիթմ է, որը նախատեսված է ստատիկ ոչ կապակցված անսարքությունների հայտնաբերման համար:

Հիշող սարքերի թեստավորման հիմնական խնդիրները

Հիշող սարքերը թեստավորելիս հիմնականում դիտարկվում են հետևյալ 3 խնդիրները՝ անսարքությունների հայտնաբերում, տեղայնացում, ախտորոշում^{14,15}. Անսարքությունների տեղայնացման խնդիրները լուծվում են՝ զոի բջջի և հավանական ագրեսոր բջիջների միջև ցատկերով գործողություններ կատարելով:

¹² S. Hamdioui, Z. Al-Ars, A. J. van de Goor, M. Rodgers, “March SL: A Test for All Static Linked Memory Faults”, IEEE Asian Test Symposium, 2003, pp. 372-377.

¹³ S. Hamdioui, Z. Al-Ars, A.J. van de Goor, “Testing Static and Dynamic Faults in Random Access Memories”, IEEE VLSI Test Symposium, 2002, pp. 395-400.

¹⁴ A.J. van de Goor, Testing semiconductor memories: Theory and Practice, John Wiley & Sons, Chichester, England, 1991.

¹⁵ J.-F. Li, K.-L. Cheng, C.-T. Huang, C.-W. Wu, “March-Based RAM Diagnostic Algorithms for Stuck-At and Coupling Faults”, IEEE International Test Conference, 2001, pp. 758-767.

Ներկառուցված թեստավորման համակարգ (ՆԹՀ)

ՆԹՀ-երը լայնորեն կիրառվում են հիշող սարքերի թեստավորման համար: Արտադրության փուլում ՆԹՀ-ն հիշող սարքի վրա կիրառում է գրել-կարդալու հաջորդականություններ (կոչվում են թեստային ալգորիթմներ), որպեսզի ստուգի հիշող սարքի աշխատունակությունը: Գոյություն ունեն տարբեր տիպի ՆԹՀ-երի ճարտարապետություններ, որոնցից ամենատարածվածներից է միկրոկոդի վրա հիմնված ծրագրավորվող ՆԹՀ-ն: Այն իր մեջ ունի թեստային ալգորիթմի ռեգիստր (ԹԱՌ), որի մեջ նախապես հայտնի ֆորմատով պահվում է թեստային ալգորիթմը: ԹԱՌ-ը հասանելի է արտաքին միջավայրից, որը թույլ է տալիս դրսից ՆԹՀ-ում ծրագրավորել նոր թեստային ալգորիթմներ: Իրականում այս տիպի ՆԹՀ-երը ապահովում են ճկունություն՝ ՆԹՀ-ում նոր թեստային ալգորիթմներ ծրագրավորելու համար: Սակայն այս տիպի ՆԹՀ-երում թեստային ալգորիթմի բաղադրիչները (հասցեավորման կարգերը, գրել/կարդալու գործողությունները և հիշող սարքում գրվող/կարդացվող տվյալները) հիմնականում լինում են նախապես հայտարարված, որը կարող է հանգեցնել տրված թեստային ալգորիթմի կառուցման անհնարինությանը: Հետևաբար, հաճախ կարիք է լինում թեստային ալգորիթմի բաղադրիչները նույնպես դարձնել ծրագրավորվող՝ ապահովելով թեստային ալգորիթմի ծրագրավորման առավելագույն ճկունություն: Մեկ այլ խնդիր է, որ գոյություն ունեցող ՆԹՀ-երը չեն երաշխավորում, որպեսզի հնարավոր լինի նույն ՆԹՀ-ն առանց փոփոխելու կիրառել նաև ապագա տեխնոլոգիաների հիշող սարքերում: Որպես կանոն՝ առկա ՆԹՀ-երը հաճախ ընդլայնման կարիք են ունենում, որպեսզի հաշվի առնեն նոր տեխնոլոգիաներին հատուկ անսարքությունները: Ուստի անհրաժեշտություն է առաջանում կառուցել միասնականացված ՆԹՀ, որը թույլ կտա.

- թեստային ալգորիթմների ծրագրավորման առավելագույն ճկունություն,
- թեստավորել ոչ միայն ընթացիկ, այլ նաև ապագա տեխնոլոգիաների հիշող սարքերի անսարքությունները՝ առանց փոխելու ՆԹՀ-ի ճարտարապետությունը:

Նման ՆԹՀ իրականացնելու համար նախ պետք է հնարավոր դարձնել ապագա տեխնոլոգիաներին հատուկ անսարքությունների կանխատեսումը: Այս աշխատանքում այդ խնդիրը լուծված է անսարքությունների պարբերական աղյուսակի միջոցով, որը թույլ է տալիս կանխատեսել ապագա տեխնոլոգիաների անսարքությունները, և թեստային ալգորիթմների շարժման միջոցով կառուցել արդյունավետ թեստային ալգորիթմներ այդ անսարքությունները թեստավորելու համար:

Երկրորդ գլխում նկարագրված են ստատիկ նանոչափական հիշող սարքերի անսարքությունների մոդելավորման և թեստային ալգորիթմների կառուցման գոյություն ունեցող մեթոդները: Ներկայացված են ՖինՖԵՏ և եռաչափ հիշող սարքերի տեխնոլոգիաները և այդ տեխնոլոգիաների հետ կապված թեստավորման խնդիրները: Այնուհետև առաջարկված է անսարքությունների մոդելավորման և թեստային ալգորիթմների կառուցման նոր մեթոդ, որը հնարավորություն է տալիս լուծել ՖինՖԵՏ և եռաչափ հիշող սարքերի տեխնոլոգիաներում առկա թեստավորման խնդիրները:

Անսարքությունների մոդելավորման և թեստային ալգորիթմների կառուցման մեթոդներ

Գոյություն ունեցող անսարքությունների մոդելավորման մեթոդները հիմնականում հիմնված են հիշող սարքի կառուցվածքային մոդելների վրա՝ ֆիզիկական թերությունների մոդելների ներմուծմամբ: Ներմուծված ֆիզիկական թերությունների առկայությամբ կատարվում է հիշող սարքի մոդելի սիմուլյացիա՝ պարզելու ֆիզիկական թերության հետևանքը հիշող սարքի աշխատանքի վրա: Կախված ֆիզիկական թերության տիպից և դիրքից՝ հիշող սարքում կարող են ի հայտ գալ տարբեր տիպի շեղումներ (օրինակ՝ բջջի արժեքը մնում է 1, նույնիսկ եթե դրա վրա կիրառվում է 0 գրելու գործողություն): Այնուհետև յուրաքանչյուր շեղման համար, որի հետևանքով հիշող սարքը սկսում է սխալ աշխատել, մոդելավորվում է դրան համապատասխանող անսարքության մոդելը:

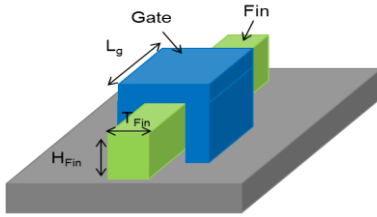
Գոյություն ունեն թեստային ալգորիթմների կառուցման տարբեր մեթոդներ^{16,17}: Դրանցից որոշները հիմնված են փնտրման մեթոդների վրա՝ առաջարկելով կատարել թեստային ալգորիթմների հատարկում սկսած ամենակարճ երկարությամբ թեստային ալգորիթմից, իսկ այնուհետև մեծացնելով դրա երկարությունը: Այդ մեթոդի առավելությունն այն է, որ հայտնաբերված թեստային ալգորիթմը նվազագույնն է, իսկ թերությունն այն է, որ այս տիպի մեթոդները հաճախ պահանջում են երկար ժամանակ (օրեր, ամիսներ)՝ որոնվող թեստային ալգորիթմը գտնելու համար: Մեկ այլ տարածված մոտեցում է թեստային ալգորիթմների կառուցման էվրիստիկ մեթոդը, երբ թեստային ալգորիթմների փնտրումը կատարվում է ոչ լրիվ հատարկման հիման վրա՝ այլ հաշվի առնելով հիշող սարքերում հանդիպող անսարքություններից բխող որոշակի պայմաններ: Այս տիպի մեթոդների առավելությունն այն է, որ փնտրվող թեստային ալգորիթմը կարող է գտնվել կարճ ժամանակում (միլիվարկյանների, վարկյանների ընթացքում), իսկ թերությունն այն է, որ գտնված թեստային ալգորիթմը կարող է լինել ոչ արդյունավետ, այսինքն՝ երկարությամբ շատ հեռու լինել նվազագույն թեստային ալգորիթմի երկարությունից:

ՖինՖեՏ տեսնություն

Նկար 3-ում բերված է ՖինՖեՏ տրանզիստորի կառուցվածքը: Այստեղ դարպասը երեք կողմից պատում է ֆինին՝ մեծացնելով տրանզիստորի արդյունավետ լայնությունը: ՖինՖեՏ տրանզիստորի հիմնական պարամետրերն են՝ ֆինի բարձրություն (H_{Fin}), ֆինի լայնություն կամ հաստություն (T_{Fin}), դարպասի երկարություն (L_g) և տրանզիստորի արդյունավետ լայնություն ($T_{Fin+2H_{Fin}}$):

¹⁶ A. Benso, A. Bosio, S. Di Carlo, G. Di Natale, P. Prinetto, “Automatic March Tests Generation for Static and Dynamic Faults in SRAMs”, IEEE European Test Symposium, 2005, pp. 122–127.

¹⁷ C.-F. Wu, C.-T. Huang, K.-L. Cheng, C.-W. Wu, “Fault Simulation and Test Algorithm Generation for Random Access Memories,” IEEE TCAD on Integration Circuits and System, 2002, Vol. 21, No. 4, pp. 480–490.



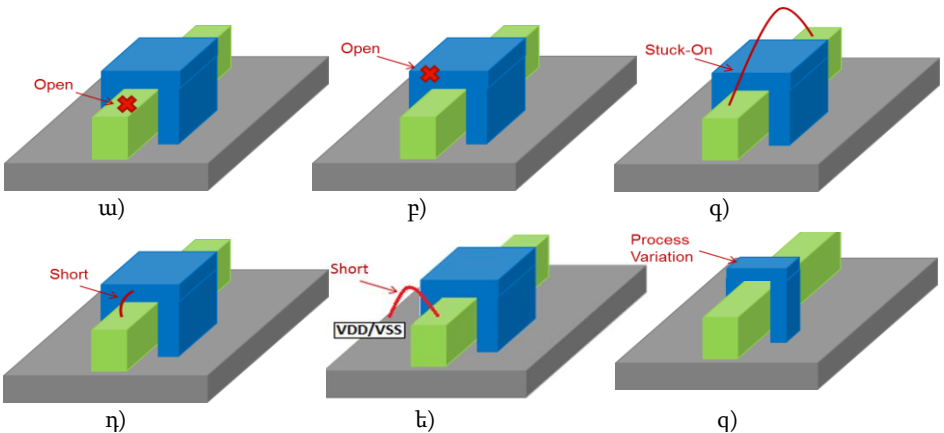
Նկար 3. ՖինՖԵՏ տրանզիստորի կառուցվածքը

ՖինՖԵՏ տեխնոլոգիայի ֆիզիկական թերությունները և անսարքության մոդելները

Նկար 4-ում բերված են ՖինՖԵՏ տեխնոլոգիայում դիտարկված ֆիզիկական թերությունների մոդելները.

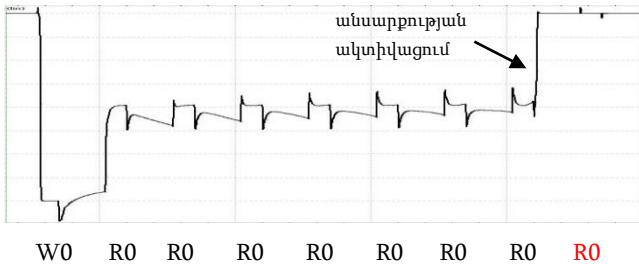
- ա) «Fin Open» - բացվածք ֆինի վրա,
- բ) «Gate Open» - բացվածք դարպասի վրա,
- գ) «Fin Stuck-On» - կարճ միացում ֆինի երկու բևեռների միջև,
- դ) «Gate-Fin Short» - կարճ միացում դարպասի և ֆինի միջև,
- ե) «Fin-VDD/VSS Short» - կարճ միացում ֆինի և լարման սնուցման/հողակցման միջև,
- զ) «Process Variation» - տրանզիստորի պարամետրերի շեղում:

Քանի որ ՖինՖԵՏ եռաչափ տրանզիստորներն ունեն յուրահատուկ կառուցվածք, հետևաբար այնտեղ կարող են ի հայտ գալ այդ տեխնոլոգիային հատուկ ֆիզիկական այնպիսի թերություններ, որոնք բացակայում են դրան նախորդող տեխնոլոգիաներում: Հետևաբար անհրաժեշտություն է առաջանում հետազոտել ՖինՖԵՏ տեխնոլոգիայի ֆիզիկական թերությունները, մոդելավորել դրանց համապատասխանող անսարքությունները և պարզել դրանցում հանդիպող յուրահատուկ (նոր) անսարքությունները: Որպես հաջորդ քայլ՝ մոդելավորված նոր անսարքությունների համար հարկավոր է կառուցել դրանց հայտնաբերող թեստային ալգորիթմ:



Նկար 4. ՖինՖԵՏ տեխնոլոգիայի ֆիզիկական թերությունների մոդելները

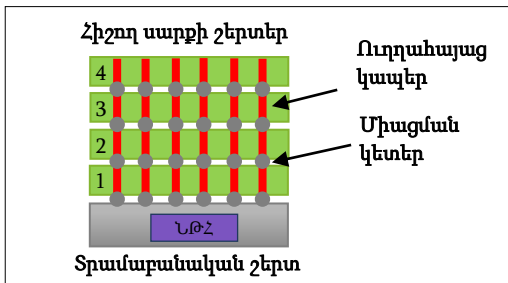
Նկար 5-ում բերված է «Fin Open» ֆիզիկական թերության հետևանքով հիշող սարքի բջջում առաջացած (0, R0⁷) (հայտնի է նաև dDRDF0-7 նշանակմամբ) անսարքության վարքագիծը: Ինչպես երևում է նկարից, անսարքություն պարունակող բջջում 7 հաջորդական R0 (կարդալ՝ ակնկալելով 0) գործողության արդյունքում բջջի արժեքը փոխվում է 0-ից 1: Իսկ այդ գործողություններին հաջորդող 8-րդ R0 գործողությունը հայտնաբերում է անսարքությունը, քանի որ R0 գործողությունը անսարքություն պարունակող բջջից կարդում է 1 արժեք, սակայն ակնկալում էր 0 արժեք:



Նկար 5. «Fin Open» ֆիզիկական թերության հետևանքով առաջացած (0, R0⁷) անսարքության վարքագիծը

Եռաչափ հիշող սարքեր

Օգտագործելով ուղղահայաց կապերի տեխնոլոգիան՝ ստեղծվել են եռաչափ ինտեգրալ սխեմաները, որոնք հնարավորություն են տալիս տեխնոլոգիաների չափերի փոքրացմանը զուգընթաց ապահովելու բարձր արագագործություն: Եռաչափ ինտեգրալ սխեմաներից ամենատարածվածներից են եռաչափ հիշող սարքերը, որոնց կառուցվածքը բերված է Նկար 6-ում: Եռաչափ հիշող սարքերի անսարքությունները կարող են լինել ինչպես հիշող սարքի շերտերում (բջիջների կամ հորիզոնական կապերի վրա), այնպես էլ դրանց միացնող ուղղահայաց կապերում: Հետևաբար կարևոր է դառնում ոչ միայն անսարքության գոյության կամ տիպի, այլ նաև դրանց տեղի հայտնաբերումը: Եռաչափ հիշող սարքերի անսարքությունները բաժանվել են 4 հիմնական դասերի. ա) Մեկ կապի անսարքություն, բ) Երկու կապերի անսարքություն, գ) Հիշող սարքի մեկ բջջանոց անսարքություն, դ) Հիշող սարքի երկու բջջանոց անսարքություն:



Նկար 6. Եռաչափ հիշող սարք

ալգորիթմների շարքում, ինչպես նաև դրանց հիման վրա կառուցված միասնականացված ՆԹՀ-ի ճարտարապետությունը:

Անսարքություններ, անսարքությունների խումբ, անսարքությունների ընդհանիք

(x_v, S) -ով նշանակենք մեկ բջջանոց անսարքությունը, որտեղ $S=OP_1D_1, \dots, OP_nD_n, n \geq 0$ անսարքությունն ակտիվացնող գրել/կարդալու գործողությունների հաջորդականությունն է՝ կիրառված անսարք բջջի վրա, որի արժեքը այդ պահին x_v է: Եթե $S \neq \emptyset$, ապա անսարքության ակտիվացումից հետո անսարք բջջին ընդունում է $\sim D_n$ (D_n -ի հակադիր) արժեք, հակառակ դեպքում այն ընդունում է $\sim x_v$ արժեք:

(x_a, x_v, S_v) -ով նշանակենք երկու բջջանոց անսարքությունը, որտեղ $S_v=OP_1D_1, \dots, OP_nD_n, n \geq 0$ անսարքությունն ակտիվացնող գրել/կարդալու գործողությունների հաջորդականությունն է՝ կիրառված գոհ բջջի վրա, որի արժեքը այդ պահին x_v է, իսկ ագրեսոր բջջի արժեքը այդ պահին x_a է: Եթե $S \neq \emptyset$, ապա անսարքության ակտիվացումից հետո գոհ բջջին ընդունում է $\sim D_n$ արժեք, հակառակ դեպքում այն ընդունում է $\sim x_v$ արժեք:

(x_a, S_a, x_v) -ով նշանակենք երկու բջջանոց անսարքությունը, որտեղ $S_a=OP_1D_1, \dots, OP_nD_n, n \geq 0$ անսարքությունն ակտիվացնող գրել/կարդալու գործողությունների հաջորդականությունն է՝ կիրառված ագրեսոր բջջի վրա, որի արժեքը այդ պահին x_a է, իսկ գոհ բջջի արժեքը այդ պահին x_v է: Անսարքության ակտիվացումից հետո գոհ բջջին ընդունում է $\sim x_v$ արժեք:

$FG(x, S)$ -ով նշանակենք անսարքությունների այն խումբը, որը պարունակում է բոլոր այն մեկ և երկու բջջանոց անսարքությունները, որոնք ակտիվանում են գրել/կարդալու S հաջորդականությամբ՝ կիրառված բջջի վրա, որն այդ պահին ունի x արժեք, $x \in \{0, 1\}$, $S=OP_1D_1, \dots, OP_nD_n, n \geq 0$.

$FG(x, S)$ անսարքությունների խումբը նկարագրում է հիշող սարքերում ամենահաճախակի հանդիպող անսարքությունները: Իսկ $FG_i(x, S)$ -ը անսարքությունների ենթախումբ է, որը պարունակում է բոլոր այն i բջջանոց անսարքությունները, որոնք ակտիվանում են գրել/կարդալու S հաջորդականությամբ՝ կիրառված բջջի վրա, որն այդ պահին ունի x արժեք:

FF_k -ով նշանակենք անսարքությունների այն ընտանիքը, որը պարունակում է բոլոր այն անսարքությունները, որոնք ակտիվանում են գրել/կարդալու k երկարության հաջորդականությամբ: OP_i նակ՝ $(0, \emptyset) \in FF_0, (0, 1, W1R1W0) \in FF_3, (1, W0R0R0R0, 1) \in FF_4$:

Սիմետրիկ անսարքություններ

Նշանակենք՝ $F_1=(x_1, \{OP_{11}D_{11}, \dots, OP_{1k_1}D_{1k_1}\})$, $F_2=(x_2, \{OP_{21}D_{21}, \dots, OP_{2k_2}D_{2k_2}\})$,
 $F_3=(y_1, x_1, \{OP_{11}D_{11}, \dots, OP_{1k_1}D_{1k_1}\})$, $F_4=(y_2, x_2, \{OP_{21}D_{21}, \dots, OP_{2k_2}D_{2k_2}\})$,
 $F_5=(y_1, \{OP_{11}D_{11}, \dots, OP_{1k_1}D_{1k_1}\}, x_1)$, $F_6=(y_2, \{OP_{21}D_{21}, \dots, OP_{2k_2}D_{2k_2}\}, x_2)$
 F_1 և F_2 (տույն կերպ F_3 և F_4 , F_5 և F_6) անսարքությունների զույգը կոչվում է սիմետրիկ անսարքությունների զույգ (կամ սիմետրիկ անսարքություններ) և նշանակվում է $F_1 \leftrightarrow F_2$ – ով ($F_3 \leftrightarrow F_4$, $F_5 \leftrightarrow F_6$), եթե այն բավարարում է հետևյալ պայմաններին.

- $k_1=k_2, x_1\sim x_2, y_1\sim y_2,$
- $OP_{11}=OP_{21}, \dots, OP_{1k_1}=OP_{2k_2}$ և $D_{11}\sim D_{21}, \dots, D_{1k_1}\sim D_{2k_2}$:

Օրինակ՝ $(0, \emptyset) \leftrightarrow (1, \emptyset)$ և $(0, 1, W0R0) \leftrightarrow (1, 0, W1R1)$ սիմետրիկ անսարքություններ են:

Թեստային ալգորիթմների սիմետրիկության սահմանում

Հետազոտությունները ցույց են տվել, որ անսարքությունների սիմետրիկության հետ զուգընթաց թեստային ալգորիթմները նույնպես կարող են լինել սիմետրիկ:

Մարշ տարրերի $M_1=A_1(O_{11}D_{11}, \dots, O_{1n_1}D_{1n_1})$ և $M_2=A_2(O_{21}D_{21}, \dots, O_{2n_2}D_{2n_2})$ զույգը կոչվում է սիմետրիկ մարշ տարրերի զույգ և նշանակվում է $M_1 \leftrightarrow M_2$ – ով, եթե այն բավարարում է հետևյալ պայմաններին.

- $n_1=n_2$ և $OP_{11}=OP_{21}, \dots, OP_{1n_1}=OP_{2n_2},$
- $(D_{11}=D_{21}, \dots, D_{1k_1}=D_{2k_2})$ կամ $(D_{11}\sim D_{21}, \dots, D_{1k_1}\sim D_{2k_2})$:

Մարշ թեստ $M=M_1; M_2; \dots; M_k$ կոչվում է սիմետրիկ, եթե այն բավարարում է հետևյալ պայմաններից որևէ մեկին.

Պայման Ա. Մարշ թեստ M -ը բաղկացած է միայն սիմետրիկ մարշ տարրերի զույգերից:

Պայման Բ. $M_1 \leftrightarrow (WD_1)$ և $M' = M_2; \dots; M_k$ բավարարում է Պայման Ա-ին:

Պայման Գ. $M_k \leftrightarrow (RD_k)$ և $M' = M_1; \dots; M_{k-1}$ բավարարում է Պայման Ա-ին:

Պայման Դ. $M_1 \leftrightarrow (WD_1), M_k \leftrightarrow (RD_k)$ և $M' = M_2; \dots; M_{k-1}$ բավարարում է Պայման Ա-ին:

Օրինակ՝ $\leftrightarrow (W0); \uparrow (R0, W1); \uparrow (R1, W0); \downarrow (R0, W1); \downarrow (R1, W0); \leftrightarrow (R0)$ մարշ թեստը բավարարում է սիմետրիկության Պայման Դ-ին:

Թեստային ալգորիթմի կանոնավոր ներկայացում

Ներկայացնենք թեստային ալգորիթմի ներկայացման նոր ձև, որը թեստային ալգորիթմի նմանատիպ կտորները միացնելով դրանք ներկայացնում է ամփոփ/սեղմ ձևով: Այդ ներկայացումը ստացել է թեստային ալգորիթմի կանոնավոր ներկայացում անունը և նշանակվում է M_{CV} – ով. $M_{CV} = M_1, \dots, M_k$, որտեղ՝

$M_i = \{ \dots \{ A_i(O_{i1}, \dots, O_{i1t_i}), \dots, A_d(O_{di1}, \dots, O_{di t_d}) \} C_i, \dots, C_p \}$, $A_t \in \{ \uparrow, \downarrow, \leftrightarrow \}$, $O_{ij t_j} \in \{ R0, R1, W0, W1 \}$, C_1, \dots, C_p – ձևափոխության գործողություններն են, որոնք կարող են լինել.

- `inv_data` – շրջել տվյալի բևեռականությունը, օրինակ՝ 00000000 տվյալից 11111111 տվյալին,
- `inv_dir` – շրջել հասցեավորման կարգը, օրինակ՝ \uparrow հասցեավորումից \downarrow հասցեավորմանը,
- `change_patt` – փոխել ընթացիկ տվյալը, օրինակ՝ Solid տվյալից (բլուր բջիջներում 0-ներ) Checkerboard տվյալին (առաջին տողում՝ 01010101, երկրորդ տողում՝ 10101010, երրորդ տողում՝ 01010101, չորրորդ տողում՝ 10101010, և այլն):

Սա նշանակում է, որ եթե թեստային ալգորիթմի մեջ երկու հաջորդական կտորներ ունեն նույն կառուցվածքը և դրանք տարբերվում են միայն հասցեավորման կարգով, տվյալով կամ տվյալի բևեռականությամբ, ապա կարելի է պահել միայն առաջին կտորը, իսկ երկրորդ կտորի փոխարեն պահել միայն ինֆորմացիա, թե ինչով է այն տարբերվում առաջին կտորից: Օրինակ՝ $M_{CV} = \leftrightarrow (W0); \{ \uparrow (R0, W1); \downarrow (R1, W0); \}_{inv_dir}$;

$\uparrow(R0)$ թեստային ալգորիթմը $M = \Leftrightarrow(W0)$; $\uparrow(R0, W1)$; $\Downarrow(R1, W0)$; $\Downarrow(R0, W1)$; $\uparrow(R1, W0)$; $\uparrow(R0)$ թեստային ալգորիթմի կանոնավոր ներկայացումներից է:

$|M|$ -ով նշանակենք M թեստային ալգորիթմի բարդությունը: Այն ցույց է տալիս անհրաժեշտ բիթերի քանակը, որն անհրաժեշտ է M թեստային ալգորիթմը ՆԹՀ-ի ԹԱՌ-ում կոդավորելու համար:

M_{CVM} – ով նշանակենք M թեստային ալգորիթմի նվազագույն կանոնավոր ներկայացումը, որը բավարարում է հետյալ պայմանին. $|M_{CVM}| = \min(|M_{CV1}|, \dots, |M_{CVk}|)$, որտեղ M_{CV1}, \dots, M_{CVk} –ն M թեստային ալգորիթմի բոլոր կանոնավոր ներկայացումներն են: Օրինակ՝ $MSS_{CVM} = \Leftrightarrow(W0)$; $\{\{\uparrow(R0, W1, W1, R1)\}_{inv_data}\}_{inv_dir}$; $\uparrow(R0)$ թեստային ալգորիթմը $MSS = \Leftrightarrow(W0)$; $\uparrow(R0, W1, W1, R1)$; $\uparrow(R1, W0, W0, R0)$; $\Downarrow(R0, W1, W1, R1)$; $\Downarrow(R1, W0, W0, R0)$; $\uparrow(R0)$ թեստային ալգորիթմի նվազագույն կանոնավոր ներկայացում է, քանի որ MSS -ի կանոնավոր ներկայացումների մեջ այն ունի նվազագույն բարդություն:

Սիմետրիկության չափ

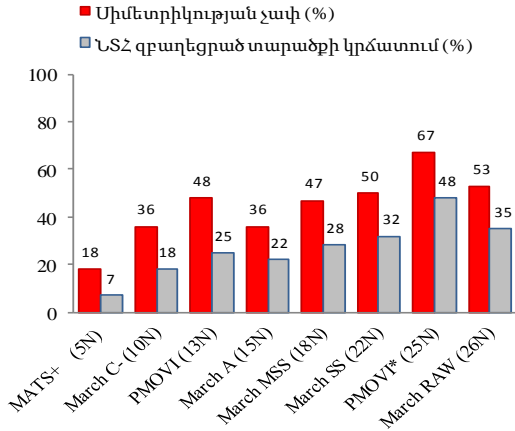
Կախված թեստային ալգորիթմի կառուցվածքից՝ դրա սիմետրիկության չափը կարող է լինել տարբեր: Փորձարկումները ցույց են տվել, որ ինչքան մեծ է թեստային ալգորիթմի սիմետրիկության չափը, այնքան փոքր է ՆԹՀ-ի ԹԱՌ-ում այն կոդավորելու համար անհրաժեշտ բիթերի քանակը:

M թեստային ալգորիթմի սիմետրիկության չափը (նշանակենք M_s -ով) կարելի է հաշվարկել հետևյալ բանաձևով. $M_s = (1 - |M_{CVM}| / |M|) * 100\%$

Դիագրամ 1-ը ցույց է տալիս ՆԹՀ-ի զբաղեցրած տարածքի կրճատման և սիմետրիկության չափի արժեքները և դրանց համեմատությունը տարբեր թեստային ալգորիթմների համար: Օրինակ՝ March MSS թեստային ալգորիթմի սիմետրիկության չափը 47% է, իսկ դրա արդյունքում ՆԹՀ-ի զբաղեցրած տարածքի կրճատումը 28% է: Ինչպես երևում է դիագրամից, տրված թեստային ալգորիթմի համար ՆԹՀ-ի զբաղեցրած տարածքի կրճատման արժեքը միշտ ավելի փոքր է քան թեստային ալգորիթմի սիմետրիկության չափը, քանի որ սիմետրիկությունը ազդում է միայն ՆԹՀ-ի ԹԱՌ-ի կրճատման վրա, իսկ ՆԹՀ-ում կան այլ բլոկներ, որոնց զբաղեցրած տարածքը կախված չէ թեստային ալգորիթմի սիմետրիկությունից:

Անսարքությունների և թեստային ալգորիթմների կանոնավորություն

Հիշող սարքերի անսարքությունների և դրանց թեստավորող ալգորիթմների հատկությունները ուսումնասիրելու համար կատարվել է 90-ից մինչև 7 նանոմետր չափ ունեցող հիշող սարքերի հետազոտություն: Հետազոտությունը ցույց է տվել, որ յուրաքանչյուր նոր տեխնոլոգիա իր հետ բերում է նոր և ավելի բարդ անսարքություններ, և հետևաբար դրանց թեստավորող ալգորիթմները նույնպես գնալով բարդանում են:



Դիագրամ 1. Թեստային ալգորիթմների սիմետրիկության համեմատություն

Կանոնավորությունների սահմանում

Ստորև բերված են հետազոտության արդյունքում հայտնաբերված անսարքությունների և թեստային ալգորիթմների կանոնավորություններ:

Կանոնավորություն 1. Նոր տեխնոլոգիաներում հայտնաբերված անսարքությունները (նոր անսարքություններ) ունեն նմանատիպ վարքագիծ, ինչ գոյություն ունեցող անսարքությունները:

Կանոնավորություն 2. Նոր անսարքությունները հայտնաբերող թեստային ալգորիթմները հիմնականում կառուցված են լինում կամ ընդլայնված են լինում գոյություն ունեցող թեստային ալգորիթմի հիման վրա: Օրինակ՝ $\hat{f}(W0, R0, R0)$; $\hat{f}(W1, R1, R1)$ թեստային ալգորիթմը կարելի է կառուցել $\hat{f}(W0, R0)$; $\hat{f}(W1, R1)$ թեստային ալգորիթմից՝ ավելացնելով $R0$ և $R1$ գործողություններ համապատասխանաբար առաջին և երկրորդ մարշ տարրերին:

Կանոնավորություն 3. Կամայական անսարքություն ունի իր զույգը (օրինակ՝ SF0 և SF1). Այլ կերպ ասած՝ յուրաքանչյուր F անսարքության դեպքում կա մեկ այլ G անսարքություն, որոնք միմյանց նկատմամբ սիմետրիկ են, այսինքն՝ $F \leftrightarrow G$:

Կանոնավորություն 4. Սիմետրիկ անսարքությունները հիմնականում հայտնաբերվում են սիմետրիկ թեստային ալգորիթմների միջոցով: Օրինակ՝ ՖինՖեՏ տեխնոլոգիային հատուկ $(0, R0^7)$ և $(1, R1^7)$ անսարքությունների սիմետրիկ զույգը հայտնաբերվում է $\hat{f}(W0, R0, R0, R0, R0, R0, R0, R0, R0)$; $\hat{f}(W1, R1, R1, R1, R1, R1, R1, R1, R1)$ սիմետրիկ թեստային ալգորիթմի միջոցով:

Նշենք նաև, որ նոր տեխնոլոգիաների հետ զուգընթաց կարող են ի հայտ գալ նոր կանոնավորություններ, որոնց հետազոտումը և օգտագործումը կարող է դրականորեն ազդել թեստավորման լուծումների արդյունավետության վրա:

Անսարքությունների պարբերական աղյուսակ

Կատարված հետազոտություններից և վերը նշված կանոնավորություններից հետևում է, որ նոր անսարքությունները ի հայտ են գալիս պարբերական ձևով, այսինքն՝ դրանք գոյություն ունեցող անսարքությունների պարբերական ընդլայնումն են: Հաշվի առնելով այդ փաստը՝ առաջարկվում է անսարքությունները ներկայացնել անսարքությունների պարբերական աղյուսակի տեսքով (տես Աղյուսակ 1):

	C0	C1	C2	C3	...
FF0	FG ₀ (0, 0)	FG ₁ (0, 0)	FG ₂ (0, 0)	FG ₃ (0, 0)	
	FG ₀ (1, 0)	FG ₁ (1, 0)	FG ₂ (1, 0)	FG ₃ (1, 0)	
FF1	FG ₀ (0, W0)	FG ₁ (0, W0)	FG ₂ (0, W0)	FG ₃ (0, W0)	
	FG ₀ (1, W1)	FG ₁ (1, W1)	FG ₂ (1, W1)	FG ₃ (1, W1)	
	FG ₀ (0, W1)	FG ₁ (0, W1)	FG ₂ (0, W1)	FG ₃ (0, W1)	
	FG ₀ (1, W0)	FG ₁ (1, W0)	FG ₂ (1, W0)	FG ₃ (1, W0)	
	FG ₀ (0, R0)	FG ₁ (0, R0)	FG ₂ (0, R0)	FG ₃ (0, R0)	
	FG ₀ (1, R1)	FG ₁ (1, R1)	FG ₂ (1, R1)	FG ₃ (1, R1)	
FF2	FG ₀ (0, W0W0)	FG ₁ (0, W0W0)	FG ₂ (0, W0W0)		
	FG ₀ (1, W1W1)	FG ₁ (1, W1W1)	FG ₂ (1, W1W1)		
	FG ₀ (0, W0W1)	FG ₁ (0, W0W1)	FG ₂ (0, W0W1)		
	FG ₀ (1, W1W0)	FG ₁ (1, W1W0)	FG ₂ (1, W1W0)		
	FG ₀ (0, R0R0)	FG ₁ (0, R0R0)	FG ₂ (0, R0R0)		
	FG ₀ (1, R1R1)	FG ₁ (1, R1R1)	FG ₂ (1, R1R1)		
FF3	FG ₀ (0, R0 ³)	FG ₁ (0, R0 ³)	FG ₂ (0, R0 ³)		
	FG ₀ (1, R1 ³)	FG ₁ (1, R1 ³)	FG ₂ (1, R1 ³)		
FF4	FG ₀ (0, R0 ⁴)	FG ₁ (0, R0 ⁴)	FG ₂ (0, R0 ⁴)		
	FG ₀ (1, R1 ⁴)	FG ₁ (1, R1 ⁴)	FG ₂ (1, R1 ⁴)		
FF5	FG ₀ (0, R0 ⁵)	FG ₁ (0, R0 ⁵)	FG ₂ (0, R0 ⁵)		
	FG ₀ (1, R1 ⁵)	FG ₁ (1, R1 ⁵)	FG ₂ (1, R1 ⁵)		
FF6	FG ₀ (0, R0 ⁶)	FG ₁ (0, R0 ⁶)	FG ₂ (0, R0 ⁶)		
	FG ₀ (1, R1 ⁶)	FG ₁ (1, R1 ⁶)	FG ₂ (1, R1 ⁶)		
FF7	FG ₀ (0, R0 ⁷)	FG ₁ (0, R0 ⁷)	FG ₂ (0, R0 ⁷)		
	FG ₀ (1, R1 ⁷)	FG ₁ (1, R1 ⁷)	FG ₂ (1, R1 ⁷)		
...					

- (0, W1, 0)
- (0, W1, 1)
- (0, 0, W1)
- (1, 0, W1)

Աղյուսակ 1. Անսարքությունների պարբերական աղյուսակ

Անսարքությունների պարբերական աղյուսակի սյուները համապատասխանում են անսարքության մեջ ընդգրկված բջիջների քանակին (C0 սյունը պարունակում է 0 բջիջ պարունակող անսարքությունները, որոնք կապված չեն հիշող սարքի բջիջների հետ և առնչվում են հիշող սարքերի կապերին, բջիջների շուրջ գոյություն ունեցող սխեմաներին, C1 սյունը պարունակում է բոլոր մեկ բջջանոց անսարքությունները, C2 սյունը՝ երկու բջջանոց անսարքությունները և այլն), իսկ տողերը համապատասխանում են անսարքությունն ակտիվացնող գործողությունների քանակին (FF0 տողերը պարունակում են 0 գործողությամբ ակտիվացող, այսինքն՝ վիճակի անսարքությունները, FF1 տողերը պարունակում են 1 գործողությամբ ակտիվացող անսարքությունները և այլն): Աղյուսակում մոխրագույնով նշված դատարկ վանդակները համապատասխանում են դեռևս չհետազոտված (չհայտնաբերված) անսարքություններին: Անսարքությունների պարբերական աղյուսակի վանդակներում նշված են անսարքությունների խմբեր՝ $FG_i(x, S)$: Օրինակ՝ $FG_2(0, W1) = \{(0, W1, 0), (0, W1, 1), (0, 0, W1), (1, 0, W1)\}$:

Անսարքությունների պարբերական աղյուսակն ունի հետևյալ առավելությունները.

- Թույլ է տալիս հեշտությամբ վերլուծել և հիշել մեծ թվով անսարքություններ մեկ աղյուսակում:
- Հնարավորություն է տալիս անսարքությունները ներկայացնել համակարգված ձևով և բացառում է որևէ անսարքության բացթողումը դիտարկումից:
- Չկա որևէ սահմանափակում տողերի և սյունների քանակների վրա և կարող է ընդլայվել՝ ապագա տեխնոլոգիաների անսարքությունները ընդգրկելու համար:
- Թույլ է տալիս կանխատեսել նոր անսարքություններ՝ հիմնվելով անսարքությունների պարբերական հատկությունների վրա: Օրինակ՝ i -րդ տողի հիման վրա հնարավոր է սահմանել $(i+1)$ -րդ տողի անսարքությունները:
- Հնարավորություն է տալիս գնահատել տրված թեստային ալգորիթմով հայտնաբերվող անսարքությունների ծածկույթը:
- Թույլ է տալիս կառուցել միասնականացված ՆԺՀ, որն ապահովում է թեստային ալգորիթմի ծրագրավորելիությունը՝ առանց սահմանափակումների:

Թեստային ալգորիթմների շարուն

Ներկայացնենք թեստային ալգորիթմների $MTT(x, S)$ շարունը, որն ունի հետևյալ կառուցվածքը.

- $\uparrow(W(\sim D_k));$
- $\uparrow([R(\sim D_k)], [W(x)], S);$
- $\uparrow([R(D_k)], [W(\sim x)], \sim S);$
- $\downarrow([R(\sim D_k)], [W(x)], S);$
- $\downarrow([R(D_k)], [W(\sim x)], \sim S);$
- $\downarrow(R(\sim D_k)),$

որտեղ՝

- $S = OP_1 D_1, \dots, OP_k D_k, k \geq 0, x \in \{0, 1\}$,
- եթե $k \geq 1$, ապա $\sim S = OP_1(\sim D_1), \dots, OP_k(\sim D_k)$, և եթե $S = \emptyset$, ապա $\sim S = \emptyset$,
- $[W(x)]$ և $[W(\sim x)]$ բացակայում են $MTT(x, S)$ -ի կառուցվածքում, եթե $S \neq \emptyset$ և $x = \sim D_k$, հակառակ դեպքում՝ դրանք ներկա են,
- $[R(D_k)]$ և $[R(\sim D_k)]$ բացակայում են $MTT(x, S)$ -ի կառուցվածքում, եթե $S \neq \emptyset, x = \sim D_k, OP_i = R$, հակառակ դեպքում՝ դրանք ներկա են,
- եթե $S = \emptyset$, ապա $D_k = x$:

$MTT(x, S)$ շարունով ստացված բոլոր թեստային ալգորիթմները սիմետրիկ են, քանի որ դրանք բավարարում են սիմետրիկության սահմանման Պայման Դ-ին:

Պնդում. $MTT(x, S)$ շարունով ստացված թեստային ալգորիթմը հայտնաբերում է $FG(x, S)$ և $FG(\sim x, \sim S)$ խմբերի բոլոր անսարքությունները:

Ապացույց. Շարունով ստացվող թեստային ալգորիթմների բոլոր հնարավոր տարբերակները բաժանվում են 4 դեպքերի՝ կախված x -ի և S -ի արժեքներից.

Դեպք Ա. $S = \emptyset, x = \forall$

$MTA = \uparrow(W(\sim x)); \uparrow(R(\sim x), W(x)); \uparrow(R(x), W(\sim x)); \downarrow(R(\sim x), W(x)); \downarrow(R(x), W(\sim x)); \downarrow(R(\sim x))$

Դեպք Բ. $S = OP_1 D_1, \dots, OP_k D_k, k \geq 1, x = D_k$

MTB= $\uparrow(W(\sim x))$; $\uparrow(R(\sim x), W(x), S)$; $\uparrow(R(x), W(\sim x), \sim S)$; $\downarrow(R(\sim x), W(x), S)$; $\downarrow(R(x), W(\sim x), \sim S)$;
 $\downarrow(R(\sim x))$

Դեպք 9. $S=OP_1D_1, \dots, OP_kD_k, k \geq 1, x \sim D_k$ և $OP_1=W$

MTC= $\uparrow(W(x))$; $\uparrow(R(x), S)$; $\uparrow(R(\sim x), \sim S)$; $\downarrow(R(x), S)$; $\downarrow(R(\sim x), \sim S)$; $\downarrow(R(x))$

Դեպք 7. $S=OP_1D_1, \dots, OP_kD_k, k \geq 1, x \sim D_k$ և $OP_1=R$

MTD= $\uparrow(W(x))$; $\uparrow(S)$; $\uparrow(\sim S)$; $\downarrow(S)$; $\downarrow(\sim S)$; $\downarrow(R(x))$

Այնուհետև յուրաքանչյուր դեպքի համար ցույց է տրվում, որ ստացված թեստային ալգորիթմները հայտնաբերում են $FG(x, S)$ և $FG(\sim x, \sim S)$ խմբերի բոլոր անսարքությունները: Դա կատարվում է հետևյալ կերպ. յուրաքանչյուր անսարքության համար նշվում է, թե թեստային ալգորիթմի որ գործողությամբ է ակտիվանում և որ գործողությամբ է հայտնաբերվում տվյալ անսարքությունը:

Նշենք, որ թեստային ալգորիթմների շաբլոնը թույլ է տալիս շատ արագ (միկրովարկյանների ընթացքում) և պարզ ձևով կառուցել թեստային ալգորիթմներ՝ առանց որևէ թեստային ալգորիթմների կառուցման գործիքներ օգտագործելու, որոնք հիմնականում կատարվում են փնտրման կամ էվրիստիկ մեթոդներով: Թեստային ալգորիթմների շաբլոնի այս առանձնահատկությունները թույլ են տալիս թեստային ալգորիթմների կառուցումը ծրագրային գործիքի մակարդակից տանել դեպի ապարատային իրականացումը, ինչը առաջարկված միասնականացված ՆԹՀ-ի ճարտարապետության հիմնաքարերից մեկն է:

Միասնականացված ՆԹՀ-ի ճարտարապետությունը

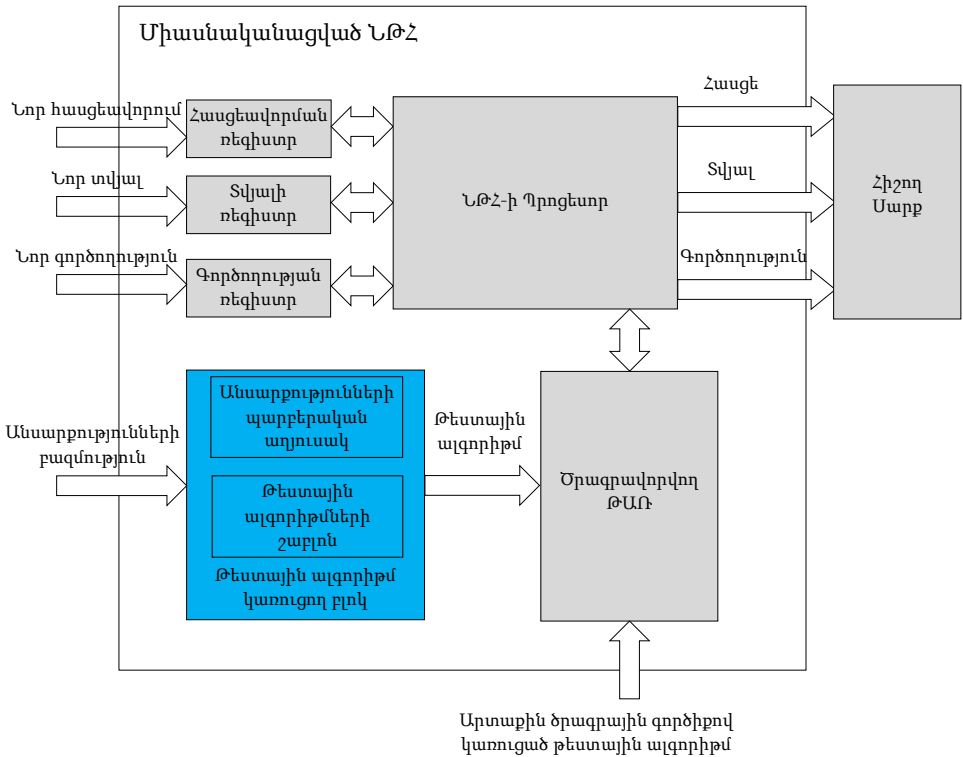
Նկար 8-ում ցույց է տրված առաջարկված միասնականացված ՆԹՀ-ի ճարտարապետությունը: Ի համեմատություն գոյություն ունեցող ՆԹՀ-երի՝ միասնականացված ՆԹՀ-ի բոլոր բլոկներում իրականացվել են լավացումներ, իսկ *Թեստային ալգորիթմ կառուցող բլոկը* հատուկ է միայն այս ճարտարապետությանը և բացակայում է գոյություն ունեցող ՆԹՀ-երում: ՆԹՀ-ի օգտագործողը հնարավորություն ունի սահմանել անսարքությունների բազմություն, որի հիման վրա *Թեստային ալգորիթմ կառուցող բլոկը* կառուցում է *Թեստային ալգորիթմ* անմիջապես ՆԹՀ-ում, որն իր հերթին ծրագրավորվում է ԹԱՌ-ում:

Առաջարկված միասնականացված ՆԹՀ-ի հիմնական առավելություններն են.

1. Թեստային ալգորիթմների ծրագրավորման առավելագույն ճկունություն՝ օգտագործելով ինչպես թեստային ալգորիթմի, այնպես էլ թեստային ալգորիթմի յուրաքանչյուր բաղադրիչի (հասցեավորում, տվյալ, գործողություն) ծրագրավորման հնարավորությունը:
2. ՆԹՀ-ի ընդլայնման հնարավորություն ապագա տեխնոլոգիաների հիշող սարքերի անսարքությունները թեստավորելու համար՝ առանց փոխելու ՆԹՀ-ի ճարտարապետությունը:
3. Օգտագործողը հնարավորություն ունի սահմանելու միայն անսարքությունների բազմությունը ՆԹՀ-ն օգտագործելու համար՝ առանց թեստային ալգորիթմ կառուցող ծրագրային գործիքի: Սա կարևոր է, քանի որ օգտագործողը հաճախ

տեղյակ չի լինում թեստային ալգորիթմների կառուցման պրոցեսներից և ունենում է գիտելիք միայն հիշող սարքի անսարքությունների բազմության մասին:

- Թեստային ալգորիթմների կանոնավոր ներկայացումների ծրագրավորման հնարավորություն ԹԱՌ-ում, որը հնարավորություն է տալիս էպպես կրճատել ԹԱՌ-ի չափը և հետևաբար նաև ՆԹՀ-ի զբաղեցրած տարածքի ընդհանուր չափը:



Նկար 8. Միասնականացված ՆԹՀ-ի ճարտարապետությունը

Չորրորդ գլխում ներկայացված են նանոչափական հիշող սարքերի տիպերը և այս աշխատանքի շրջանակներում այդ հիշող սարքերի անսարքությունների հայտնաբերման համար կառուցված թեստային ալգորիթմները:

Նանոչափական հիշող սարքերի տիպերը

Գոյություն ունեն տարբեր տիպի նանոչափական հիշող սարքեր, որոնք այսօր լայնորեն օգտագործվում են բյուրեղների արտադրությունում: Դրանցից առավել տարածվածներն են՝ ստատիկ (SRAM), բովանդակության հասցեավորման (CAM), միայն կարդալու հնարավորությամբ (ROM), դինամիկ (DRAM), Flash տիպի և եռաչափ (3D) հիշող սարքերը:

Ալգորիթմներ հիշող սարքերի թեստավորման համար

Աղյուսակ 2-ում բերված են այս աշխատանքում հիշող սարքերի թեստավորման համար կառուցված թեստային ալգորիթմները, որտեղ N-ը հիշող սարքի հասցեների քանակն է, իսկ B-ն՝ մեկ բառի մեջ բիթերի քանակը:

Ինչպես երևում է աղյուսակից՝ ստացված թեստային ալգորիթմների հիմնական մասը նվազագույն երկարությամբ է, և միայն March LSD և March DMFD-ն են, որ համարվում են արդյունավետ թեստային ալգորիթմներ, քանի որ դրանք երկարությամբ մոտ են նվազագույն թեստային ալգորիթմի երկարությանը: Աղյուսակում բերված թեստային ալգորիթմները հանդիսանում են «Սինտիսիս» ընկերության «STAR Memory System» համակարգի հիմնական թեստային ալգորիթմները:

Այս թեստային ալգորիթմների կառուցման համար առաջարկվել են մի շարք արդյունավետ մեթոդներ (ներառյալ փնտրման և էվոլյուցիոն մեթոդներ)^{18,19}, ինչպես նաև օգտագործվել է թեստային ալգորիթմների շաբլոնը: Վերը նշված թեստային ալգորիթմների կառուցման մեթոդների մշակման ընթացքում հիմնականում օգտագործվել են դիսկրետ մաթեմատիկայի և օպտիմիզացիայի մեթոդներ:

Աղյուսակ 2. Թեստային ալգորիթմներ

Հիշող սարքի տիպ	Անսարքություններ	Թեստային ալգորիթմ	Բարդ.	Նվազ. բարդ.
SRAM	Ստատիկ չկապակցված	March MSS	18N	18N
	Ստատիկ չկապակցված և կապակցված	March MSL	23N	23N
	Չկապակցված 2 գործ. դինամիկ	March MD2	70N	70N
	Չկապակցված և կապակցված ստատիկ և 2 գործ. դինամիկ	March LSD	75N	≥ 70N
	ՖինՖեՏ տեխնոլոգիային հատուկ	March FF	24N	24N
CAM	Տվյալի պահմանման	March MSL	23N	23N
	Տվյալի համեմատման	March CCF	4N+3B+2	4N+3B+2
ROM	Հասցեների ապակողավորիչի և կարդալու խափանման	March VLROM	16N	16N
DRAM	Հիշող սարքի բջիջների և կապուլիների	March DMFD	29N	≥26N
Flash	Կարդալու/ծրագրավորելու/ջնջելու խանգարման	March-FTE	8N+2	8N+2
3D Memory	Միջկապային և հիշող սարքի շերտերի	March EMFD	26N+6log(N)+26	26N+6log(N)+26

¹⁸ G. Harutyunyan, “A Software Tool for Generation of March Algorithms for Faults in SRAMs”, IEEE East-West Design and Test Symposium (EWDTS), Armenia, 2007, pp. 444-447.

¹⁹ G. Harutyunyan, S. Shoukourian, V. Vardanian, Y. Zorian, “A New Method for March Test Algorithm Generation and Its Application for Fault Detection in RAMs”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD), 2012, Vol. 31, No. 6, pp. 941-949.

Հինգերորդ գլխում ներկայացված են անսարքությունների ախտորոշման և տեղայնացման խնդիրները և դրանց լուծման մեթոդները:

Հիշող սարքերի կառուցվածքային և փոփոխական մոդելավորում և դրա դերը հիշող սարքերի թեստավորման համար

Հիշող սարքերի համար շատ կարևոր է իմանալ դրանց կառուցվածքային (արտապատկերումը հիշող սարքի տրամաբանական և ֆիզիկական հասցեների միջև) և տոպոլոգիական (հիշող սարքում այն բլոկների չափերը և տեղերը, որոնք հիշող սարքի բջիջներ չեն) ինֆորմացիան: Առանց այդ ինֆորմացիայի հնարավոր չէ կառուցել ճշգրիտ ֆիզիկական տվյալներ, ինչպես նաև հաշվարկել սխալ պարունակող բջջի ճշգրիտ կորոդիհնատները:

Անսարքությունների ախտորոշման և տեղայնացման խնդիրների լուծման ալգորիթմներ

Անսարքությունների ախտորոշման և տեղայնացման խնդիրների լուծման համար կառուցվել են հետևյալ թեստային ալգորիթմները.

1. Ստատիկ չկապակցված անսարքությունների ախտորոշման համար կառուցվել է March FD թեստային ալգորիթմը, որի բարդությունը 35N է (N-ը հիշող սարքի հասցեների քանակն է): Այն կատարում է տրված անսարքությունների լրիվ ախտորոշում:
2. Կառուցվել են March VLP1 թեստային ալգորիթմը, որի բարդությունն է 26N, March VLP2 թեստային ալգորիթմը, որի բարդությունն է 26N և March VLP3 թեստային ալգորիթմը, որի բարդությունն է 22N ստատիկ և 2 գործողությամբ ակտիվացող դինամիկ անսարքությունների ախտորոշման համար:
3. ՖինՖԵՏ տեխնոլոգիային հատուկ անսարքությունների ախտորոշման համար կառուցվել է March FFDD թեստային ալգորիթմը, որի բարդությունը 42N է:

Վեցերորդ գլխում ներկայացված է համապիտանի ներկառուցված թեստավորման հիերարխիկ համակարգի (ՆԹՀՀ-ի) ճարտարապետությունը նանոչափական բյուրեղների թեստավորման համար:

Համապիտանի ՆԹՀՀ-ի ճարտարապետությունը

Երրորդ գլխում նկարագրված է հիշող սարքերի թեստավորման համար առաջարկված միասնականացված ՆԹՀՀ-ն: Սակայն նանոչափական բյուրեղներում բացի հիշող սարքերից հանդիպում են նաև այլ տիպի նախագծման բլոկներ (օրինակ՝ անալոգային և խառը ազդանշանային բլոկները կամ թվային տրամաբանական բլոկները), որոնք նույնպես թեստավորման կարիք ունեն: Մյուս կողմից արդի նանոչափական բյուրեղները այնքան են մեծացել, որ դրանց թեստավորման համար խիստ անհրաժեշտություն է դարձել բյուրեղում թեստավորման մեխանիզմների նոր լուծումների օգտագործումը: Նկար 9-ը նկարագրում է թեստավորման նոր հիերարխիկ ճարտարապետության հիմնական տարրը՝ հիերարխիկ օղակ ճարտարապետությունը,

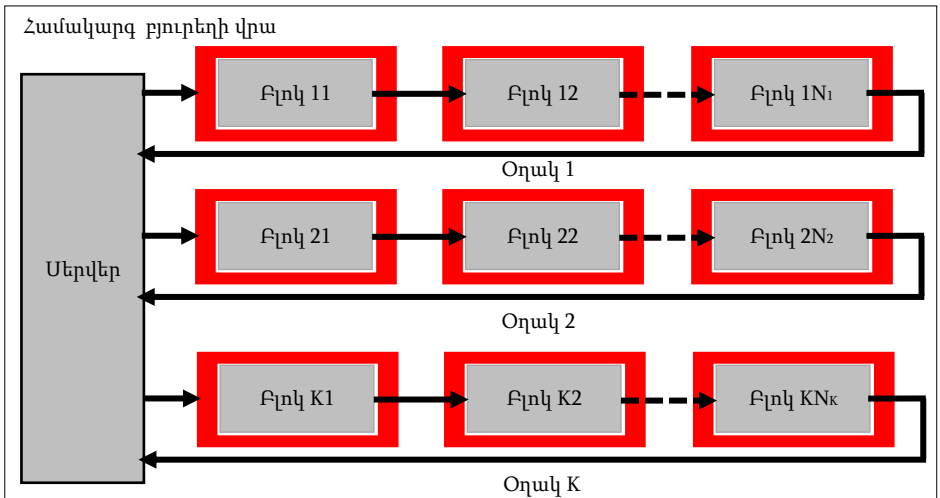
որն ի զորու է բավարարել արդի նանոչափական բյուրեղների թեստավորման կարևորագույն պահանջները:

Առաջարկված համապիտանի ՆԹՀՀ-ն ապահովում է մի շարք կարևոր հնարավորություններ, այդ թվում՝

- թեստավորման համասեռ հասանելիություն բյուրեղի տարբեր տիպի բլոկներին՝ հիմնված գոյություն ունեցող ստանդարտների վրա,
- թեստային վեկտորների տեղափոխում բլոկ-մակարդակից բյուրեղ-մակարդակ, որը հնարավորություն է տալիս էապես կրճատել նախագծման և թեստավորման ժամանակը,
- հիշող սարքի և այլ նախագծման բլոկների կառուցվածքային մոդելները նկարագրող լեզու,
- թեստավորման օպտիմալ սցենարներ՝ ապահովելով թեստավորման նվազագույն ժամանակ բյուրեղում գոյություն ունեցող սահմանափակ ռեսուրսների առկայության դեպքում:

Մշակվել է ծրագրային համակարգ, որը հնարավորություն է տալիս կատարել հետևյալ գործողությունները.

- կարդալ վերև նշված լեզվով գրված կառուցվածքային մոդելների նկարագրությունները և գեներացնել համապիտանի ՆԹՀՀ-ի սխեման,
- ինտեգրել գեներացված համապիտանի ՆԹՀՀ-ի սխեման օգտագործողի բյուրեղի նախագծի մեջ և ստուգել համակարգի կոռեկտությունը,
- թեստային վեկտորների տեղափոխում բլոկ-մակարդակից բյուրեղ-մակարդակ,
- թեստավորման օպտիմալ սցենարների կառուցում:



Նկար 9. Հիերարխիկ օղակ ճարտարապետությունը

Յոթերորդ գլխում ներկայացված է, որ այս աշխատանքի շրջանակներում ստացված արդյունքերը հիմք են կազմում «Սինոփսիս» ընկերության DesignWare STAR Memory System (SMS) և STAR Hierarchical System (SHS) թեստավորման համակարգերի համար:

Ստացված արդյունքների օգտակարությունը

Աշխատանքում ստացված արդյունքները նպաստել են SMS և SHS համակարգերում հետևյալ բարելավումներին.

1. Թեստավորման որակի և արդյունավետության բարձրացում,
2. Թեստավորման ժամանակի և զբաղեցրած տարածքի կրճատում:

Արդյունքների օգտագործումը բերել է՝

- թեստավորման ժամանակի 18%-44% կրճատման,
- թեստավորման համակարգի զբաղեցրած տարածքի 7%-48% կրճատման և բյուրեղի զբաղեցրած ընդհանուր տարածքի մինչև 5% կրճատման:

Ութերորդ գլխում բերված են ֆունկցիոնալ ապահովության և անվտանգության պահանջները ավտոմոբիլային բյուրեղների համար: Ներկայացված են ISO 26262 ստանդարտը և դրա սերտիֆիկացման պրոցեսը: Հիմնավորվել է, որ առաջարկված համապիտանի ՆԹՀՀ-ն լիովին բավարարում է ավտոմոբիլային բյուրեղների ֆունկցիոնալ ապահովության և անվտանգության պահանջներին:

Ֆունկցիոնալ ապահովության և անվտանգության համակարգ ավտոմոբիլային բյուրեղների համար

Ֆունկցիոնալ ապահովության պահանջները համակարգելու համար մշակվել է ISO 26262 ստանդարտը²⁰: Այն սահմանում է ապահովության 4 մակարդակներ՝ A, B, C, D, որտեղ D-ն համարվում է ամենաբարձր ապահովության մակարդակը: Իսկ բյուրեղների անվտանգության համար մշակվել են հատուկ միջոցներ, որոնք պաշտպանում են դրանց ոչ վավերացված կամ լիազորված դիմումներից:

Ըստ ISO 26262 ստանդարտի պահանջների՝ ավտոմոբիլային բյուրեղները անհրաժեշտ է թեստավորել ոչ միայն արտադրության փուլում, այլ նաև համակարգի միացման և համակարգի աշխատանքի ընթացքում: Հիմնավորված է, որ այս աշխատանքում առաջարկված համապիտանի ՆԹՀՀ-ն հնարավորություն է տալիս ավտոմոբիլային բյուրեղները թեստավորել վերև նշված բոլոր 3 փուլերում:

Առաջադեմ սխալներ ուղղող կոդերի լուծում ֆունկցիոնալ ապահովության համար

Բացի ֆիզիկական թերություններից հիշող սարքերում հաճախ հանդիպում են նաև այսպես կոչված «փափուկ սխալներ», որոնք առաջանում են ոչ թե արտադրության փուլում, այլ հիշող սարքի բուն շահագործման ընթացքում՝ հիմնականում «ալֆա» մասնիկների ազդեցության արդյունքում:

²⁰ ISO 26262, <https://www.iso.org/standard/43464.html>.

Փափուկ սխալների առկայության դեպքում հիշող սարքի որևէ բջիջ կամ բջիջներ կարող են պարունակել սխալ տվյալ, բայց դա չի նշանակում, որ այդ բջիջներն ունեն ֆիզիկական թերություն: Ուղղելով այդ բջիջների տվյալները (դրանց մեջ գրելով սպասված ճիշտ արժեքը)՝ փափուկ սխալը կարող է ընդմիջտ վերանայ:

Գոյություն ունեն հայտնի սխալներ ուղղող կոդեր, որոնց միջոցով հնարավոր է ուղղել 1 բիթում հանդիպող փափուկ սխալը և հայտնաբերել 2 բիթում հանդիպող փափուկ սխալները: Այս աշխատանքում առաջարկվել է նոր մեթոդ²¹, որը, օգտագործելով սխալներ ուղղող ավանդական կոդերը և հիշող սարքերի կառուցվածքային մոդելը, հնարավորություն է տալիս հայտնաբերել և ուղղել բազմաբիթ փափուկ սխալներ:

Հիմնական դրույթներն ու եզրահանգումները

Ատենախոսությունը նվիրված է անսարքությունների մոդելավորման և թեստային ալգորիթմների կառուցման նոր միասնականացված մեթոդաբանության մշակմանը և դրա ծրագրա-ապարատային իրականացմանը, որը նանոչափական հիշող սարքերի և համակարգերի թեստավորման բնագավառում բերել է էական առաջընթացի: Մեթոդաբանությունը ստեղծում է հնարավորություն ճշտելու և համակարգելու ներկայիս պատկերացումները գոյություն ունեցող անսարքությունների մասին, ինչպես նաև կանխատեսելու ապագա տեխնոլոգիական հանգույցներում հնարավոր նոր անսարքությունների բազմությունները:

1. Առաջարկված մեթոդաբանությունն իր մեջ ներառում է անսարքությունների նոր մոդելներ ([1]-[5]) և դրանց դասակարգման ու ախտորոշման ընթացակարգ ([6]-[15]), մինիմալ թեստային ալգորիթմներ և դրանց կառուցման արդյունավետ մեթոդներ ([1], [2], [16]-[31]), ինչպես նաև ներկառուցված թեստավորման համակարգ, որը ծրագրավորվող է, ընդլայնվող և դինամիկորեն հարմարեցվող գոյություն ունեցող թեստային համակարգերին և կիրառություններին ([32]-[38]):
2. Մշակված է հիշող սարքերում անսարքությունների ուսումնառության և կանխատեսման մեխանիզմ, որի հիմքում ընկած են անսարքությունների և դրանց հայտնաբերող թեստային ալգորիթմների պարբերականության ու կանոնավորության հատկությունները: Մեխանիզմի իրականացման համար, օգտագործելով այդ կանոնները, կառուցված են անսարքությունների պարբերական աղյուսակը և թեստային ալգորիթմների շարքը, որը թույլ է տալիս կառուցել արդյունավետ թեստային ալգորիթմներ՝ որպես թեստային ալգորիթմների կառուցման հատարկման և էվրիստիկ մեթոդների այլընտրանք ([39]-[42]):
3. Առաջարկված մեթոդաբանությունից բխում է միասնականացված և նոր անսարքություններին հեշտությամբ հարմարվող բյուրեղում ներկառուցված

²¹ H. Grigoryan, G. Harutyunyan, S. Shoukourian, V. Vardanian, Y. Zorian, “Determining a Desirable Number of Segments for a Multi-Segment Single Error Correcting Coding Scheme”, Patent No.: US 9,053,050, Date of Patent: June 9, 2015, Appl. No. 13/310,479, Filed on December 2, 2011.

թեստային ենթահամակարգի ճարտարապետություն: Մշակված թեստավորման հիերարխիկ ճարտարապետությունը ապահովում է միասնականացված լուծում՝ բյուրեղում տարբեր տիպի մտավոր սեփականության բլոկները թեստավորելու, ինչպես նաև այդ բլոկների զուգահեռ և հաջորդական թեստավորումը պլանավորելու համար ([43]-[46]):

Ստացված արդյունքների օգտագործումը բերել է թեստավորման որակի կտրուկ լավացման, որի արդյունքում՝

- թեստավորման ժամանակը կրճատվել է 18%-44%-ով,
- թեստավորման համակարգի զբաղեցրած տարածքը կրճատվել է 7%-48%-ով,
- բյուրեղի զբաղեցրած ընդհանուր տարածքը կրճատվել է մինչև 5%, որի արդյունքում հնարավորություն է ընձեռնվում բյուրեղում տեղավորել լրացուցիչ ֆունկցիոնալություն:

Մշակված մեթոդաբանությունը օգտագործելու արդյունքում՝ այս ամենը բերել է տնտեսական արդյունավետության զգալի բարձրացման:

Արդյունքները ներդրվել են «Սինոփսիս» ընկերության DesignWare STAR Memory System (SMS) և DesignWare STAR Hierarchical System (SHS) թեստավորման համակարգերում և լայնորեն կիրառվում են ավելի քան 200 պատվիրատու ընկերությունների կողմից՝ նանոչափական բյուրեղներում հիշող սարքերի նախագծման մեջ: Մասնավորապես, աշխարհի կիսահաղորդչային արդյունաբերության 25 ամենամեծ ընկերություններից 10-ն իրենց արտադրանքի ներկառուցված թեստավորման համար օգտագործում են այս համակարգերը:

Այսպիսով, ստացված արդյունքները հիմք են ստեղծում նանոչափական հիերարխիկ բյուրեղների թեստավորման ամբողջական լուծման համար, որը բարձրացնում է թեստավորման արդյունավետությունը, կրճատում է թեստավորման ընդհանուր ծախսերը և բարելավում է թեստավորման որակը:

Կատարված աշխատանքը ոչ միայն հիմք է ծառայում այս բնագավառում հետագա հետազոտությունների կատարման համար, որը հաստատվում է ինչպես ստացված արդյունքների վրա այլ հեղինակների կողմից բազմաթիվ հղումներով, այնպես նաև ապահովում է նոր կիրառությունների լայն շրջանակ, որը կառուցված է ստացված արդյունքների հիման վրա և ծածկում է նանոչափական բյուրեղների մշակման բոլոր փուլերը՝ նախագծում, իրականացում սիլիկոնում, զանգվածային արտադրություն և թեստավորում համակարգի շահագործման ժամանակ ([47]-[51]):

Ատենախոսության թեմայի շրջանակներում հրապարակված աշխատություններ

[1] G. Harutunyan, V. A. Vardanian, Y. Zorian, “Minimal March Test Algorithm for Detection of Linked Static Faults in Random Access Memories”, IEEE VLSI Test Symposium (VTS), USA, 2006, pp. 120-125.

[2] G. Harutunyan, S. Shoukourian, V. Vardanian, Y. Zorian, “A New Method for March Test Algorithm Generation and Its Application for Fault Detection in RAMs”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD), Vol. 31, No. 6, June 2012, pp. 941-949.

- [3] G. Harutyunyan, G. Tshagharyan, V. Vardanian, Y. Zorian, "Fault Modeling and Test Algorithm Creation Strategy for FinFET-Based Memories", IEEE VLSI Test Symposium (VTS), USA, 2014, pp. 49-54.
- [4] G. Harutyunyan, S. Shoukourian, V. Vardanian, Y. Zorian, "Impact of Process Variations on Read Failures in SRAMs", IEEE East-West Design and Test Symposium (EWDTS), Russia, 2013, pp. 15-18.
- [5] G. Harutyunyan, G. Tshagharyan, Y. Zorian, "Impact of Parameter Variations on FinFET Faults", IEEE VLSI Test Symposium (VTS), USA, 2015, pp. 145-148.
- [6] G. Harutunyan, V. A. Vardanian, "Minimal March-Based Fault Location Algorithm with Partial Diagnosis for Random Access Memories", Computer Science and Information Technologies (CSIT), Armenia, 2005, pp. 519-522.
- [7] G. Harutunyan, V.A. Vardanian, Y. Zorian, "Minimal March-Based Fault Location Algorithm with Partial Diagnosis for All Static Faults in Random Access Memories", IEEE Design and Diagnosis of Electronic Circuits and Systems (DDECS), Czech Republic, 2006, pp. 260-265.
- [8] G. Harutunyan, V. A. Vardanian, "A March Test for Full Diagnosis of All Simple Static Faults in Random Access Memories", IEEE East-West Design and Test Workshop (EWDTW), Russia, 2006, pp. 68-71.
- [9] G. Harutunyan, V.A. Vardanian, Y. Zorian, "A March-Based Fault Location Algorithm with Partial and Full Diagnosis for All Simple Static Faults in Random Access Memories", IEEE Design and Diagnosis of Electronic Circuits and Systems (DDECS), Poland, 2007, pp. 145-148.
- [10] G. Harutunyan, H. Kocharyan, V. A. Vardanian, "An Efficient 2-Phase March Algorithm for Full Diagnosis of All Simple Static Faults in Random Access Memories", IEEE East-West Design and Test Symposium (EWDTS), Armenia, 2007, pp. 110-113.
- [11] G. Harutunyan, V. A. Vardanian, Y. Zorian, "An Efficient March-Based Three-Phase Fault Location and Full Diagnosis Algorithm for Realistic Two-Operation Dynamic Faults in Random Access Memories", IEEE VLSI Test Symposium (VTS), USA, 2008, pp. 95 – 100.
- [12] G. E. Harutyunyan, D. V. Melkumyan, "Fault Location and Diagnosis Algorithm for Static and Dynamic Faults in SRAMs", Proceedings of the National Academy of Sciences of Armenia and the State Engineering University of Armenia. Series of Technical Sciences, 2010, Vol. 63, No. 3, pp. 280-287.
- [13] G. Harutyunyan, Y. Zorian, "An Effective Embedded Test & Diagnosis Solution for External Memories", IEEE International On-Line Testing Symposium (IOLTS), Greece, 2015, pp. 168-170.
- [14] K. Amirkhanyan, K. Darbinyan, A. Davtyan, G. Harutyunyan, S. Shoukourian, V. Vardanian, Y. Zorian, "Generation of Memory Structural Model Based on Memory Layout", Patent No.: US 9,514,258, Date of Patent: December 6, 2016, Appl. No. 13/531,189, Filed on June 22, 2012.
- [15] G. Harutyunyan, S. Martirosyan, S. Shoukourian, Y. Zorian, "Memory Physical Aware Multi-Level Fault Diagnosis Flow", IEEE Transactions on Emerging Topics in Computing, 2018.
- [16] G. Harutunyan, V. A. Vardanian, Y. Zorian, "Minimal March Tests for Unlinked Static Faults in Random Access Memories", IEEE VLSI Test Symposium (VTS), USA, 2005, pp. 53-59.
- [17] G. Harutunyan, V.A. Vardanian, Y. Zorian, "Minimal March Tests for Dynamic Faults in Random Access Memories", IEEE European Test Symposium (ETS), United Kingdom, 2006, pp. 43-48.
- [18] G. Harutunyan, V. A. Vardanian, Y. Zorian, "Minimal March Tests for Detection of Dynamic Faults in Random Access Memories", Journal of Electronic Testing: Theory and Applications (JETTA), Vol. 23, No. 1, February 2007, pp. 55-74.
- [19] G. Harutunyan, V. A. Vardanian, "Minimal March Tests for Dynamic Faults in Random Access Memories", IEEE European Test Symposium (ETS), Germany, 2007, pp. 223 – 227.

- [20] G. Harutyunyan, "A Software Tool for Generation of March Algorithms for Faults in SRAMs", IEEE East-West Design and Test Symposium (EWDTS), Armenia, 2007, pp. 444-447.
- [21] G. Harutyunyan, D. Melkumyan, H. Elchyan, V. Vardanian, "An Efficient Method for Generation of March Tests Based on Formulas", Mathematical problems of cybernetics and computer science, Armenia, 2008, pp. 5-17.
- [22] H. Avetisyan, G. Harutyunyan, V.A. Vardanian, "Efficient March-Like Algorithm for Detection of All Two-Operation Dynamic Faults from Subclass Sav", Mathematical problems of cybernetics and computer science, Armenia, 2008, pp. 18-24.
- [23] G. Harutyunyan, V. A. Vardanian, "An Efficient March Test Algorithm for Detection of Resistive Shorts in Multi-Port SRAMs", Computer Science and Information Technologies (CSIT), Armenia, 2009, pp. 435-438.
- [24] H. Avetisyan, G. Harutyunyan, V.A. Vardanian, Y. Zorian, "An Efficient March Test for Detection of All Two-Operation Dynamic Faults from Subclass S_{av} ", IEEE East-West Design and Test Symposium (EWDTS), Russia, 2010, pp. 310-313.
- [25] H. S. Avetisyan, G. E. Harutyunyan, V. A. Vardanian, "Minimal March Test Algorithms for Detection of All Realistic Two-Operation, Two-Cell Dynamic Faults from Subclasses Sav and Sva", Reports of National Academy of Sciences of Armenia, 2010, Vol. 110, No. 2, pp. 143-150.
- [26] K. Amirkhanyan, A. Davtyan, G. Harutyunyan, T. Melkumyan, S. Shoukourian, V. Vardanian, Y. Zorian, "Application of Defect Injection Flow for Fault Validation in Memories", IEEE East-West Design and Test Symposium (EWDTS), Ukraine, 2012, pp. 19-22.
- [27] G. Harutyunyan, G. Tshagharyan, Y. Zorian, "Test & Repair Methodology for FinFET-Based Memories", IEEE Transactions on Device and Materials Reliability, Vol. 15, No. 1, March 2015, pp. 3-9.
- [28] H. Grigoryan, G. Harutyunyan, S. Shoukourian, V. Vardanian, Y. Zorian, "Determining a Desirable Number of Segments for a Multi-Segment Single Error Correcting Coding Scheme", Patent No.: US 9,053,050, Date of Patent: June 9, 2015, Appl. No. 13/310,479, Filed on December 2, 2011.
- [29] G. Tshagharyan, G. Harutyunyan, S. Shoukourian, Y. Zorian, "Overview Study on Fault Modeling and Test Methodology Development for FinFET-Based Memories", IEEE East-West Design and Test Symposium (EWDTS), Georgia, 2015, pp. 19-22.
- [30] G. Tshagharyan, G. Harutyunyan, S. Shoukourian, Y. Zorian, "FinFET-Based Memory Testing Using Multiple Read Operations", Patent Application, No. 15/718,284, Filed on September 28, 2017.
- [31] S. Martirosyan, G. Harutyunyan, S. Shoukourian, Y. Zorian, "An Efficient Testing Methodology for Embedded Flash Memories", IEEE East-West Design and Test Symposium (EWDTS), Serbia, 2017, pp. 422-425.
- [32] H. Grigoryan, G. Harutyunyan, S. Shoukourian, V. Vardanian, Y. Zorian, "Generic BIST Architecture for Testing of Content Addressable Memories", IEEE International On-Line Testing Symposium (IOLTS), Greece, 2011, pp. 86-91.
- [33] A. Hakhumyan, G. Harutyunyan, "Implementation of a Flexible BIST Architecture Based on Programmability of Test Operations, Patterns and Algorithms", Computer Science and Information Technologies (CSIT), Armenia, 2011, pp. 287-290.
- [34] K. Darbinyan, G. Harutyunyan, S. Shoukourian, V. Vardanian, Y. Zorian, "A Robust Solution for Embedded Memory Test and Repair", IEEE Asian Test Symposium (ATS), India, 2011, pp. 461-462.
- [35] G. Harutyunyan, A. Hakhumyan, S. Shoukourian, V. Vardanian, Y. Zorian, "Symmetry Measure for Memory Test and Its Application in BIST Optimization", Journal of Electronic Testing: Theory and Applications (JETTA), Vol. 27, No. 6, December 2011, pp. 753-766.

- [36] G. Harutyunyan, S. Shoukourian, V. Vardanian, Y. Zorian, “An Effective Solution for Building Memory BIST Infrastructure Based on Fault Periodicity”, IEEE VLSI Test Symposium (VTS), USA, 2013, pp. 71-76.
- [37] Գ.Է. Հարությունյան, “Համապիտանի ներկառուցված թեստավորման համակարգ՝ հիմնված անսարքությունների պարբերական աղյուսակի և թեստային ալգորիթմների շաբլոնի վրա”, ՀՀ ԳԱԱ և ՀՊՃՀ Տեղեկագիր: Տեխնիկական գիտություններ, 2017, 70 (1), էջեր՝ 64-72.
- [38] A. Hakhmyan, G. Harutyunyan, S. Shoukourian, V. Vardanian, Y. Zorian, “Testing Electronic Memories Based on Fault and Test Algorithm Periodicity”, Patent No.: US 9,831,000, Date of Patent: November 28, 2017, Appl. No. 14/484,736, Filed on September 12, 2014.
- [39] G. Harutyunyan, S. Shoukourian, Y. Zorian, “Fault and Test Algorithm Periodicity Hypothesis in Memory Devices and Its Application to Memory BIST Processor Architecture”, Reports of National Academy of Sciences of Armenia, 2012, Vol. 112, No. 3, pp. 229-238.
- [40] G. Harutyunyan, S. Shoukourian, V. Vardanian, Y. Zorian, “Extending Fault Periodicity Table for Testing Faults in Memories under 20nm”, IEEE East-West Design and Test Symposium (EWDTS), Ukraine, 2014, pp. 12-15.
- [41] G. Harutyunyan, “Extending Fault Periodicity Table for Testing External Memory Faults”, IEEE East-West Design and Test Symposium (EWDTS), Armenia, 2016, pp. 490-493.
- [42] Գ.Է. Հարությունյան, “Թեստավորման արդյունավետ մոտեցում նանոչափական հիշող սարքերի համար”, ՀՀ ԳԱԱ Զեկույցներ, 2017, 117 (1), էջեր՝ 35-43.
- [43] G. Harutyunyan, “An Approach for Scheduling Parallel and Serial Testing of Embedded IP Cores in Nanoscale SoCs”, Reports of National Academy of Sciences of Armenia, Vol. 2018, No. 118, pp. 26-32.
- [44] T. Melkumyan, G. Harutyunyan, S. Shoukourian, V. Vardanian, Y. Zorian, “An Efficient Fault Diagnosis and Localization Algorithm for Successive-Approximation Analog to Digital Converters”, IEEE East-West Design and Test Symposium (EWDTS), Ukraine, 2012, pp. 15-18.
- [45] L. Martirosyan, G. Harutyunyan, S. Shoukourian, Y. Zorian, “A Power Based Memory BIST Grouping Methodology”, IEEE East-West Design and Test Symposium (EWDTS), Georgia, 2015, pp. 27-30.
- [46] D. Sargsyan, G. Harutyunyan, S. Shoukourian, Y. Zorian, “Automated Flow for Test Pattern Creation for IPs in SoC”, IEEE East-West Design and Test Symposium (EWDTS), Serbia, 2017, pp. 21-24.
- [47] G. Tshagharyan, G. Harutyunyan, Y. Zorian, “An Effective Functional Safety Solution for Automotive Systems-on-Chip”, IEEE International Test Conference (ITC), USA, 2017, Paper ET 2.2, pp. 1-10.
- [48] S. Martirosyan, G. Harutyunyan, S. Shoukourian, Y. Zorian, “Method and Apparatus for SOC with Optimal RSMA”, Patent Application, No. 15/684,780, Filed on August 23, 2017.
- [49] G. Tshagharyan, G. Harutyunyan, S. Shoukourian, Y. Zorian, “Securing Test Infrastructure of System-on-Chips”, IEEE East-West Design and Test Symposium (EWDTS), Armenia, 2016, pp. 29-32.
- [50] G. Harutyunyan, S. Shoukourian, G. Tshagharyan, “Security Issues in Test and Repair Infrastructure for Systems-On-Chip”, International Conference in Information and Communication Technologies (ICIT), Russia, 2017, pp. 114-122.
- [51] G. Tshagharyan, G. Harutyunyan, S. Shoukourian, Y. Zorian, “Experimental study on Hamming and Hsiao Codes in the Context of Embedded Applications”, IEEE East-West Design and Test Symposium (EWDTS), Serbia, 2017, pp. 25-28.

RESUME

Gurgen Edik Harutyunyan

BUILT-IN TEST SOLUTIONS FOR NANOSCALE MEMORY DEVICES AND SYSTEMS

The thesis is dedicated to development and its software and hardware implementation of a new unified methodology for fault modeling and test algorithm construction which led to essential progress in area of testing of nanoscale memory devices and systems. The methodology creates possibility to clarify and systemize the current perceptions about existing fault models, as well as to predict sets of possible new faults in future technological nodes.

1. The proposed methodology includes new models of faults ([1]-[5]) and flow for their classification and diagnosis ([6]-[15]), minimal test algorithms and efficient methods for their construction ([1], [2], [16]-[31]), as well as a built-in test system which is programmable, extendable and dynamically adaptable to existing test systems and applications ([32]-[38]).
2. A learning and prediction mechanism for memory faults is developed which is based on periodicity and regularity properties of faults and corresponding test algorithms for their detection. For the implementation of the mechanism, using those rules, fault periodicity table and test algorithm template are constructed which allows to construct efficient test algorithms as an alternative to exhaustive or heuristic methods for generation of test algorithms ([39]-[42]).
3. From the proposed methodology follows a unified architecture of built-in test infrastructure in system-on-chip (SoC) which is easily adaptable to new faults. The developed hierarchical test architecture provides a unified solution for testing different IP blocks in SoC, as well as for scheduling parallel and serial testing of IP blocks ([43]-[46]).

The usage of the obtained results led to essential improvement of the test system based on which:

- the test time is reduced by 18%-44%;
- the occupied area of the test system is reduced by 7%-48%
- overall chip area is reduced by up to 5% allowing to put more functional logic in the chip.

By using the developed methodology all these led to essential increase of economic efficiency.

The results are implemented in Synopsys DesignWare STAR Memory System (SMS) and DesignWare STAR Hierarchical System (SHS) products and are widely used by more than 200 customers in their nanoscale SoC designs. Particularly, 10 of top 25 companies in the

world from semiconductor industry are using these systems for performing built-in test of their products.

Thus, the obtained results serve as a basis for a complete test solution for nanoscale hierarchical SoCs which increases the test efficiency, reduces the test cost and improves quality of the test.

The done work is not just a basis for further research in this area which is confirmed by multiple links to the obtained results by other authors, as well as it provides a broad range of new applications which is built on the obtained results, and covering all the development phases of nanoscale SoCs: design, silicon bring-up, volume production and in-system test ([47]-[51]).

РЕЗЮМЕ

Арутюнян Гурген Эдикович

ВСТРОЕННЫЕ ТЕСТОВЫЕ РЕШЕНИЯ ДЛЯ НАНОМЕРНЫХ УСТРОЙСТВ И СИСТЕМ ПАМЯТИ

Диссертация посвящена разработке и программно-аппаратной реализации новой унифицированной методологии моделирования неисправностей и построения тестовых алгоритмов, что привело к значительному прогрессу в области тестирования наномерных устройств и систем памяти на кристалле. Методология дает возможность уточнения и систематизации текущего представления о существующих неисправностях, а также предсказания возможных типов новых неисправностей в следующих технологических узлах.

1. Предлагаемая методология включает новые модели неисправностей ([1]-[5]), их классификацию и диагностику ([6]-[15]), минимальные тестовые алгоритмы и эффективные методы их построения ([1], [2], [16]-[31]), а также встроенную систему тестирования, которая является программируемой, расширяемой и динамически адаптируемой к существующим тестовым системам и приложениям ([32]-[38]).
2. Разработан механизм изучения и прогнозирования неисправностей в устройствах памяти, в основу которого положены правила регулярности и периодичности неисправностей и соответствующих тестовых алгоритмов для обнаружения этих неисправностей. Для реализации механизма с помощью этих правил построены периодическая таблица неисправностей и шаблон тестовых алгоритмов, который позволяет создавать эффективные тестовые алгоритмы как альтернативу «переборным» и эвристическим методам генерации тестовых алгоритмов ([39]-[42]).
3. Из предложенной методологии вытекает единая и легко адаптируемая к новым неисправностям архитектура тестовой подсистемы, встроенной в систему на кристалле. Разработанная иерархическая архитектура тестирования обеспечивает унифицированное решение для тестирования различных типов IP (Intellectual Property) блоков – блоков интеллектуальной собственности в системах на кристалле, а также для планирования параллельного и последовательного тестирования IP блоков ([43]-[46]).

Использование полученных результатов привело к резкому улучшению качества тестирования, в результате чего:

- время тестирования сократилось на 18%-44%,
- площадь системы тестирования уменьшилась на 7%-48%,
- произошло уменьшение до 5% общей площади, занимаемой системой на кристалле, в результате чего появилась возможность добавления дополнительной функциональности в систему на кристалле.

Все это привело к значительному повышению экономической эффективности при использовании разработанной методологии.

Результаты внедрены в продукты компании «Синописис» DesignWare STAR Memory System (SMS) и DesignWare STAR Hierarchical System (SHS) и широко используются в более чем 200 компаниях-пользователях при проектировании наномерных систем на кристалле. В частности, 10 из 25 признанных лучшими компаний в полупроводниковой индустрии используют эти продукты для встроенного тестирования своих изделий.

Таким образом, полученные результаты служат основой для создания целостного тестового решения для наномерных иерархических систем на кристалле, которое повышает эффективность, снижает стоимость и улучшает качество тестирования.

Проделанная работа не только является основой для дальнейших исследований в этой области, что подтверждается как многочисленными ссылками на эти результаты со стороны других авторов, так и предложенным в работе широким спектром новых приложений, построенных на основе полученных результатов и покрывающих все этапы разработки наномерных систем на кристалле: проектирование, реализацию вsilиконе, массовое производство, и тестирование во время работы системы ([47]-[51]).