

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ ԵՎ ԳԻՏՈՒԹՅԱՆ  
ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

## Հախվերդյան Տիգրան Արայիկի

ԹՎԱՅԻՆ ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ԷՆԵՐԳԱՍՊԱՌՄԱՆ ՆՎԱԶԵՑՄԱՆԸ  
ԿՈՂՄՆՈՐՈՇՎԱԾ ՖԻԶԻԿԱԿԱՆ ՆԱԽԱԳԾՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ

### ՍԵՂՄԱԳԻՐ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ  
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի հայցման  
ատենախոսության

Երևան 2018

---

---

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

### Ахвердян Тигран Араикович

РАЗРАБОТКА СРЕДСТВ ФИЗИЧЕСКОГО ПРОЕКТИРОВАНИЯ,  
ОРИЕНТИРОВАННЫХ НА УМЕНЬШЕНИЕ ЭНЕРГОПОТРЕБЛЕНИЯ  
ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ

### АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата  
технических наук по специальности 05.27.01–  
“Электроника, микро- и нанoeлектроника”

Ереван 2018

---

---

Ատենախոսության թեման հաստատվել է Երևանի պետական համալսարանում

Գիտական ղեկավար՝

տ.գ.դ. Վ.Շ. Մելիքյան

Պաշտոնական ընդդիմախոսներ՝

տ.գ.դ. Ռ.Ռ. Վարդանյան

տ.գ.դ. Մ.Վ. Մարկոսյան

Առաջատար կազմակերպություն՝

ՀՀ ԳԱԱ Ռադիոֆիզիկայի և

էլեկտրոնիկայի ինստիտուտ

Ատենախոսության պաշտպանությունը տեղի կունենա 2018թ. մայիսի 18-ին, ժամը 14:00-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:

Սեղմագիրն առաքված է 2018 թ. ապրիլի 13-ին:

046 Մասնագիտական խորհրդի  
գիտական քարտուղար, տ.գ.թ.



Մ.Յ. Այվազյան

---

---

Тема диссертации утверждена в Ереванском государственном университете.

Научный руководитель:

д.т.н. В.Ш. Меликян

Официальные оппоненты:

д.т.н. Р.Р. Варданян

д.т.н. М.В. Маркосян

Ведущая организация:

Институт радиофизики и

электроники НАН РА

Защита диссертации состоится 18-го мая 2018г. в 14:00 ч. на заседании Специализированного совета 046 — “Радиотехники и электроники”, действующего при Национальном политехническом университете Армении (НПУА), по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 13-го апреля 2018г.

Ученый секретарь

Специализированного совета

к.т.н.



046

М.Ц. Айвазян

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

**Актуальность темы.** Процесс проектирования и изготовления интегральных схем (ИС) с каждым годом усложняется. В связи с тем, что к проектированию ИС предъявляются жесткие требования, во время производства ИС возникают новые проблемы, для решения которых требуются ресурсные средства и затраты. Производство ИС по комплементарным металл-оксид-полупроводниковым (МОП) технологиям непрерывно подвергается минимизации. Уже достигнуты технологии производства ИС 7 нм и менее, которые приводят к увеличению степени интеграции элементов и новым функциональным возможностям, что, в свою очередь, способствует образованию быстродействующих схем и одновременному снижению себестоимости ИС. С уменьшением размеров МОП транзисторов увеличиваются имеющие место негативные эффекты, а также возникают новые проблемы, которые ухудшают основные параметры ИС. Наряду с уменьшением длины канала МОП транзистора напряжение питания ИС уменьшается, в результате падения напряжения на сетях питания становится существенным. Для увеличения скорости транзисторов уменьшают толщину подзатворного оксида, что приводит к снижению пороговых напряжений на n-канальных и p-канальных МОП транзисторах. В результате в сетях питания воздействие шумов становится существенным.

На сегодняшний день из вышеперечисленных негативных явлений наиболее важным считается энергопотребление цифровых ИС. На это указывают опросы, проведенные среди инженеров. Таким образом, одновременно с увеличением степени интеграции растет статическое и динамическое энергопотребление ИС. Это приводит к возникновению ряда проблем: снижению работоспособности ИС, усложнению проблем с теплопередачей, уменьшению срока эксплуатации портативных устройств и т.д. Для снижения энергопотребления ИС разработаны новые подходы, называемые методами проектирования с низким энергопотреблением. Применение этих методов приводит к значительному уменьшению энергопотребления ИС и решению большинства вышеуказанных проблем. Однако в связи с усложнением проектирования и ужесточением технологических требований возникает необходимость усовершенствовать и развивать уже существующие методы проектирования с низким энергопотреблением. Существующие подходы дают только схемотехническое решение, где не учитываются сложность и специфичность физического проектирования. Во время физического проектирования возникают явления, ухудшающие параметры ИС: быстродействие, помехоустойчивость, падение напряжения питания и т.д. В случае игнорирования этими эффектами после производства ИС они не будут работать, и возникнет вероятность

перепроектирования. Это приведет к потере времени и падению процента работающих ИС, а следовательно, к убыткам.

Диссертация посвящена решению вопросов, касающихся физического проектирования цифровых ИС, ориентированных на снижение энергопотребления.

**Объект исследования.** Методы и способы физического проектирования цифровых ИС, ориентированные на уменьшение энергопотребления; средства и принципы решения проблем, возникающих при физическом проектировании, и особенности реализации этих решений.

**Цель работы.** Целью диссертационной работы является исследование и разработка средств, направленных на увеличение продуктивности методов снижения энергопотребления цифровых ИС и уменьшение возникаемых побочных эффектов. Разработанные средства приведут к увеличению скорости схем за счет незначительного роста площади ИС и усложнения процесса проектирования.

**Методы исследования.** В процессе исследования были использованы основные положения теории полупроводниковых приборов, цифровых и электрических цепей, методы моделирования микроэлектронных схем, способы схемотехнического и физического проектирования, средства описания на языках логических и схемотехнических уровней, методы создания программного обеспечения с помощью объектно-ориентированных и скриптовых языков.

**Научная новизна работы.**

1. Предложен новый метод планировки, который за счет увеличения времени проектирования и усложнения процесса физического проектирования оптимизирует проблемы теплоотдачи и энергопотребления цифровых ИС. В основе метода лежит распределение компонентных узлов на плоскости, опираясь на значения активности переключения и энергопотребления этих же узлов.
2. Разработан метод распределения отключающих транзисторов (ОТ), что, с одной стороны, вызвал дополнительные сложности при построении сетей питания, с другой - улучшило временные параметры схемы, уменьшило величину падения напряжения без увеличения количества ОТ.
3. Создана схема отключающего конденсатора (ОК), которая совместима с технологией трехмерных транзисторов, имеет маленькие производственные отклонения, малый риск электростатической разрядки и хорошие частотные характеристики. По сравнению с другими схемами, предлагаемая схема имеет большую площадь и утечки тока.

4. Предложены конструкции ОТ, которые за счет увеличения общей площади схем повышают помехоустойчивость цифровых ИС в сетях питания при “грубом” способе стробирования питания.
5. Разработан метод распределения ОТ, позволяющий за счет усложнения процесса проектирования, увеличения площади схемы и времени проектирования увеличить быстродействие схемы и уменьшить величину падения напряжения. Суть метода заключается в распределении отключающих транзисторов, основанных на величинах энергопотребления и активностях переключения стандартных ячеек.

**Практическая ценность работы.** На основе предложенных в работе способов, методов и схемотехнических решений разработано программное средство Physical Power Compiler, с помощью которого можно рассчитать и спрогнозировать величины изменения параметров цифровых схем в зависимости от выбора типа и метода распределения ОТ при “грубом” способе стробирования питания. Программное средство за счет простого и удобного графического интерфейса обеспечивает удобную структуру для анализа результатов и моделирования. Программа сокращает время физического проектирования в среднем в 10...25 раз. Для проверки эффективности созданного программного обеспечения проведены испытания на многочисленных процессорных ИС, в частности, ChipTop, OpenRISC, ORCA и ARC600, а также для узла “плавающая запятая” OpenSPARC T1 процессора. Экспериментальные результаты свидетельствуют о высокой эффективности программного средства: величина падения напряжения в схеме в среднем уменьшилась на 40...60%, что, в свою очередь, улучшило временные характеристики схем в среднем на 10...20%.

**Достоверность научных положений** подтверждена математическим обоснованием полученных результатов и высокой степенью сопоставления с данными практических испытаний.

**Внедрение.** Программное инструментальное средство Physical Power Compiler внедрено в ЗАО “Синописис Армения” и используется для выбора и распределения ОТ при проектировании цифровых ИС на основе “грубого” способа стробирования питания. Программное средство Physical Power Compiler было успешно протестировано в ряде реальных ИС и включено в состав программных инструментальных средств компании.

**Основные положения, выносимые на защиту:**

1. Метод планировки ИС при физическом проектировании.
2. Метод выбора и распределения отключающих транзисторов.
3. Структура отключающего конденсатора.

4. Схемы отключающих транзисторов, используемых в цифровых ИС на основе “грубого” способа стробирования питания для повышения помехоустойчивости.
5. Метод распределения отключающих транзисторов, основанный на величинах энергопотребления и активности переключения стандартных ячеек.
6. Программное средство Physical Power Compiler, разработанное на основе предложенных методов выбора и распределения отключающих транзисторов.

**Апробация работы.** Основные научные и практические результаты диссертации докладывались на:

- 4-й Международной конференции "IEDEC: Interdisciplinary Engineering Design Education Conference" (Калифорния США, 2014 г.);
- 15-й Международной конференции "EWDTS: East-West Design & Test" (Ереван, Армения, 2016г.);
- 37-й Международной конференции "ELNANO: Electronics and Nanotechnology" (Киев, Украина, 2017 г.);
- 11-й Международной конференции "ICSMN2017: International Conference On Semiconductor Micro- & Nanoelectronics" (Ереван, Армения, 2017 г.);
- научных семинарах ЗАО “СИНОПСИС АРМЕНИЯ” (Ереван, Армения, 2016-2017 гг.).

**Публикации.** Основные положения диссертации представлены в десяти научных трудах, список которых приведен в конце автореферата.

**Структура и объем работы.** Диссертация состоит из введения, трех глав, основных выводов, списка литературы из 110 наименований и 6-и приложений. Основной объем диссертации составляет 127 страниц, включая 82 рисунок и 7 таблиц. Общий объем работы вместе с приложениями – 150 страниц. Диссертация написана на армянском языке.

## ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

**Во введении** обоснована актуальность темы, сформулированы цель и основные задачи исследования, изложены изучаемые объекты и модели, представлена научная новизна, практическое значение работы и основные научные положения, выносимые на защиту.

**В первой главе** проведены обзор и анализ существующих методов низкого энергопотребления. Исследованы основные особенности и недостатки существующих решений и сформулированы требования к методам понижения энергопотребления процессорных ИС.

Как известно, энергопотребление состоит из двух компонентов: динамического ( $P_{\text{дин}}$ ) и статического ( $P_{\text{стат}}$ ):

$$P = P_{\text{ДИН}} + P_{\text{СТАТ}} \quad (1)$$

Начиная с технологии 65 нм статический компонент становится соизмеримым с динамическим. Параллельно с понижением технологии статический компонент уже превышает динамический в несколько раз, и соотношение будет расти.

Энергию, потребляемую в рабочем (динамическом) режиме, когда переключаются входные сигналы цифровых ИС, называют динамической. Динамическое энергопотребление цифровых ИС, в свою очередь, состоит из двух компонентов – переключения и короткого замыкания. Основными причинами динамического энергопотребления в ИС являются повышение рабочих частот и увеличение степени интеграции транзисторов. Согласно закону Г. Мура, число транзисторов удваивается раз в 18 месяцев.

Энергию, потребляемую в режиме покоя, когда цифровая ИС подключена к сети питания, но ее входные сигналы не меняются, называют статической. В этом случае из сети течет ток, употребляя неэффективную энергию. В свою очередь, ток утечки состоит из нескольких компонентов: подпорогового, подзатворного и туннельного. В связи с технологическим прогрессом и с целью повышения скорости транзисторов пороговое напряжение и длину канала уменьшают.

Учитывая большое значение снижения энергопотребления, в последние годы разработаны и продолжают совершенствоваться специальные подходы проектирования, называемые иначе “методами снижения энергопотребления”, в частности: стробирование тактового сигнала (рис. 1а), масштабирование напряжения питания, многоисточниковое питание (рис. 1б), метод с использованием разнопороговых транзисторов (рис. 1в) и стробирование питания (рис. 1г). Наиболее распространенным из них является метод стробирования питания. Чтобы подчеркнуть его преимущества, приведены особенности каждого метода.

Стробирование тактового сигнала. Это один из простых методов снижения энергопотребления. В этом случае отключают отдельные части тактового сигнала. В связи с тем, что приблизительно 50% динамического энергопотребления цифровых ИС используют дерево тактового сигнала, отключение последнего имеет большую роль. Отключение выполняется с помощью специальных схем, которые заменяют стандартные триггеры. При этом методе статическое энергопотребление растет в зависимости от внутреннего энергопотребления замененных схем.

Масштабирование напряжения питания. Известно, что в цифровых ИС статические и динамические компоненты энергопотребления прямо пропорциональны квадрату значения напряжения питания:

$$E = \int_0^t (CV^2_{п} f_{пер} + V_{п} I_{ут}) dt, \quad (2)$$

где  $f_{пер}$  – частота переключения входного сигнала цифровой МОП ячейки;  $V_{п}$  – напряжение питания;  $I_{ут}$  – ток утечки;  $C$  – зарядная емкость.

В этом случае, чтобы уменьшить энергопотребление цифровых ИС, необходимо снизить напряжение питания, однако при использовании этого метода возникают проблемы, связанные с быстродействием цифровых ИС. Так как задержка цифровых ячеек зависит от значения напряжения питания, в современных цифровых ИС такие потери недопустимы, поэтому этот метод не получил широкого применения.

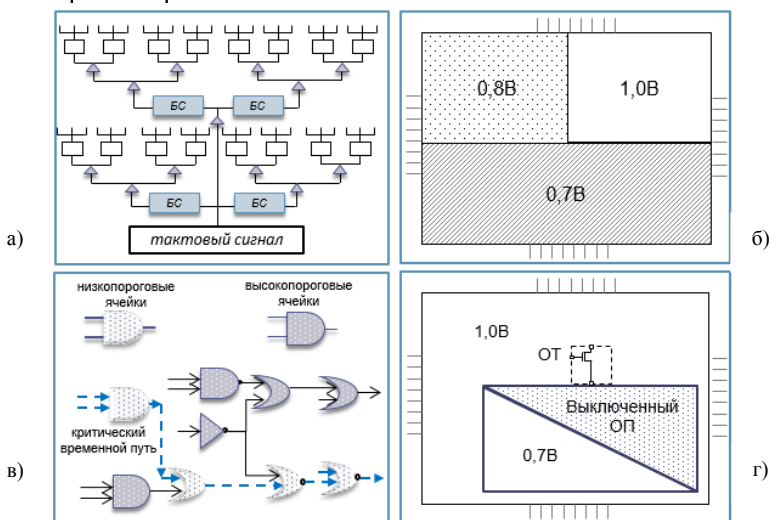


Рис. 1. Методы снижения энергопотребления: стробирование синхросигнала (а), многоисточниковое питание (б), метод разнопороговых транзисторов (в), стробирование питания (г)

Метод с использованием многоисточникового питания. Альтернативным вариантом масштабирования напряжения питания является метод с использованием многоисточникового питания. При использовании этого метода цифровые ИС разбиваются на отдельные зоны (“островки питания” – ОП), которые в зависимости от скорости островка питаются разными напряжениями. Выбором компромиссного варианта между быстродействием и



энергопотреблением получается ОП с разными напряжениями питания. При реализации этого метода динамический компонент энергопотребления можно снизить до 25...40%, но для статического компонента он составляет 7...10%, что не удовлетворяет современным требованиям. При применении этого метода возникает ряд проблем: затрудняется разделение ИС на ОП, проектирование сетей с разными питаниями в одной ИС, согласование ОП и т.д.

Метод с использованием разнопороговых транзисторов. Известно, что на одном кристалле возможно одновременно создать транзисторы с разными пороговыми напряжениями. Кроме того, имеется связь между утечкой тока и задержками транзистора: транзисторы с низкогопороговым напряжением более быстродействующие, чем среднепороговые и высокопороговые, а с точки зрения статического энергопотребления - наоборот. Одновременно в одном кристалле применяются транзисторы двух типов, но современные технологии дают возможность использовать транзисторы с пятью пороговыми напряжениями. На начальном этапе проектирования цифровых ИС используют стандартные ячейки со среднепороговым и высокопороговым транзисторами, обеспечивая, таким образом, по возможности маленькое значение статического энергопотребления. При расчете временных параметров в критических путях стандартные ячейки со среднепороговыми и высокопороговыми транзисторами постепенно заменяются на ячейки с низкогопороговыми транзисторами. Метод очень прост при использовании и редко приносит к дополнительным сложностям, однако его не всегда возможно применять в связи с технологическими и проектными ограничениями. Метод эффективен с точки зрения минимизации статического энергопотребления и обычно используется при совмещении с другими методами.

Вышеперечисленные методы имеют разные недостатки. Некоторые методы уменьшают динамический компонент за счет увеличения статического, но с учетом современных проблем уменьшение статического компонента энергопотребления является более важным. Учитывая указанные недостатки, ниже приведен метод стробирования питания, одновременно уменьшающий статический и динамический компоненты.

Стробирование питания. Суть метода состоит в отключении напряжения питания в узлах, не участвующих в функционировании схемы. На основе метода стробирования питания создаются виртуальные цепи питания и заземления, которые подключаются к реальным цепям питания и заземления с помощью ОТ. В ОТ используют как n-канальные, так и р-канальные МОП транзисторы. Управляя ОТ, становится возможным контролировать энергопотребление схемы. При закрытом состоянии ОТ схема будет потреблять минимальную статическую энергию. Поскольку от реальных цепей

к виртуальным ток утечки будет незначительным, то динамическое энергопотребление ИС будет равно нулю. Следует отметить, что ОТ имеют собственное статическое энергопотребление, которое, по сравнению с экономленным, очень мало. Для снижения внутренних токов утечки в ОТ используют высокопороговые транзисторы. Ниже приведены разновидности метода и оценена эффективность каждого вида.

Разновидности и особенности метода стробирования питания.

Применяются два способа реализации стробирования питания: “грубое” (рис. 2а) и “нежное”(рис. 2б).

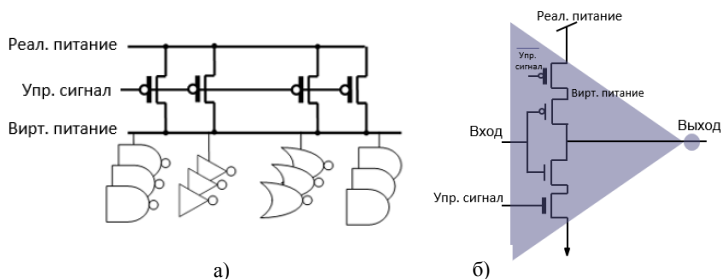


Рис. 2. Разновидности метода стробирования питания: “грубое”(а), “нежное” (б)

При “нежном” способе стробирования питания ОТ предварительно находится в каждой стандартной ячейке. Цифровые ИС проектируются с помощью стандартных ячеек, которые включают ОТ. “Нежный” способ стробирования питания имеет следующие преимущества:

1. Можно легко моделировать временные параметры по падению напряжения питания для стандартных элементов, поскольку ОТ внедрены в каждую схему.
2. Возможно управление переключением разных частей схемы в отдельности.
3. Часть виртуальных сетей питания включена в состав стандартных ячеек.
4. Отсутствует проблема выбора и распределения ОТ.
5. Процесс реализации прост, поскольку ячейки с ОТ и стандартные ячейки используются вместе, не изменяя потока проектирования цифровых ИС.

Наличие ОТ в составе каждой ячейки увеличивает площадь цифровых ИС. Следовательно, метод неэффективен в цифровых ИС, где количество стандартных ячеек велико. Обычно в стандартной библиотеке не имеются ячейки с ОТ, и чтобы их включить, нужны дополнительные затраты.

В случае “грубого” способа стробирования питания для каждого ОП добавляются ОТ, которые подключаются между виртуальным и основным

питаниями. “Грубый” способ стробирования питания имеет следующие преимущества:

1. Величина падения напряжения на сетях питания мала.
2. Нет необходимости иметь специфическую библиотеку стандартных ячеек.
3. Использование в ОП стандартных ячеек.
4. Площадь ИС, занимаемая на полупроводниковом кристалле, небольшая, поскольку ОТ имеет незначительную маленькую площадь.

Наиболее существенным недостатком этого способа является то, что подключение виртуальной сети питания к ОТ является для него большой емкостью. Следовательно, требуется большое время для подключения и отключения виртуальных сетей.

Учитывая вышесказанное, наиболее предпочтительным является “грубый” способ стробирования питания.

Методы размещения отключающих транзисторов: В ИС ОТ распределяют по разным принципам. ОТ можно распределять вокруг функционального блока кольцеобразно – частично и всецело, или внедрить сразу в функциональном узле. Современные программные средства автоматического проектирования имеют возможность распределять ОТ по некоторым методам:

1. Метод AREA (рис. 3а): задается расстояние между ОТ, и они распределяются по всей площади.
2. Метод CHESSBOARD (рис. 3б): задается расстояние между ОТ, и они распределяются по площади в виде шахматной доски.
3. Метод RING (рис. 3в): ОТ распределяются вокруг ПО частично или всецело.

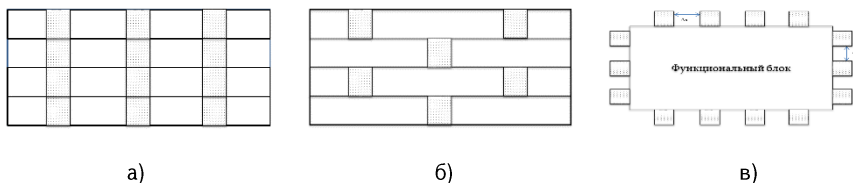


Рис. 3. Методы размещения отключающих транзисторов: AREA (а), CHESSBOARD (б), RING (в)

При использовании первых двух методов возможно более эффективное управление величиной падения напряжения в сетях питания путем увеличения количества ОТ и уменьшения расстояния между ними. Поскольку ОТ добавляется в область строки, соответственно уменьшается площадь для размещения стандартных ячеек. Это может привести к ряду проблем во время маршрутизации. Третий метод используют во время проектировании “интеллектуальной собственности”.

Реализация сетей управляющих ОТ. После окончательного распределения и оптимизации ОТ необходимо реализовать управляющую сеть ОТ. Широко распространены три типа управления.

1. Подключение ОТ последовательно (рис. 4а). Здесь время включения и отключения питания получается большим, поскольку все ОТ подключаются последовательно. Это проблема решается следующим методом.
2. Подключение ОТ параллельно (рис. 4б). В этом варианте контролируемый сигнал всех ОТ подключен воедино. Поскольку входную емкость всех ОТ нужно переключить одновременно, то необходим большой стартовый ток. Проблемы продолжительности запуска времени и стартового тока решены в третьем варианте.
3. Разветвленный контроль ОТ (рис. 4в). Здесь ОТ группируются, в каждой группе подключаются параллельно, а между группами – последовательно. Осуществив соответствующую группировку ОТ, можно выбрать компромиссный вариант между продолжительностью запуска времени и стартового тока.

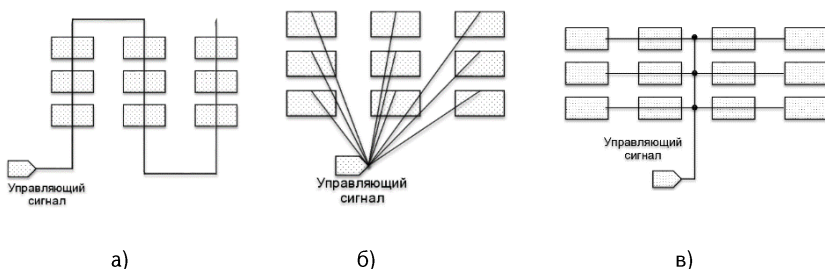


Рис. 4. Типы реализации сетей управления ОТ: последовательное (а), параллельное (б), разветвленное (в)

**Во второй главе** разработаны и изучены методы распределения ОТ при “грубом” способе стробирования питания, а также схемы ОТ и ОК. Разработаны также способы решения проблем тепловыделения схемы в фазе планировки и схема для повышения помехоустойчивости цифровых ИС при “грубом” способе стробирования питания. Все предложенные методы и схемы обеспечивают быстрое действие и энергопотребление, соответствующие практическим требованиям, предъявляемым к современным ИС.

На первой стадии физического синтеза осуществляется планировка ИС. На этой стадии следует рассмотреть такие вопросы, как тепловыделение и энергопотребление схемы. Важность этих проблем обусловлена тем, что при неправильном планировании разные части схемы могут прогреться больше допустимого значения и снизить время эксплуатации ИС. Для решения этих

проблем предлагается метод распределения ОП (рис. 5), опираясь на величины активности переключения (АП) и энергопотребления каждого ОП. Метод состоит из следующих этапов:

- ИС разделяются на отдельные ОП с учетом особенностей схемы;
- для каждого ОП рассчитывается общая потребляемая мощность:

$$P_{i\text{общ}} = \sum P_{ij}, \quad (3)$$

где  $P_{i\text{общ}}$  – общая потребляемая мощность для  $i$ -го ОП;  $P_{ij}$  – потребление мощности  $j$ -го элемента в  $i$ -ом ОП;

- для каждого ОП рассчитывается величина АП (SA);
- для каждого ОП рассчитывается коэффициент размещения:

$$PCC = f(P_{i\text{общ}} \cdot SA); \quad (4)$$

- в зависимости от значения PCC, производится равномерное распределение ОП по всей площади ИС.

Таким образом, равномерное распределение всех ОП обеспечивает нормирование теплоотдачи. Использование этого метода приводит к усложнению физического проектирования. При распределении стандартных ячеек возникают некоторые проблемы, поскольку каждая цифровая ячейка ограничена площадью ОП. Одной из важных проблем является процесс маршрутизации - создание физической связи между стандартными ячейками, которая также усложняется. Указанные проблемы решаются при правильном разделении ИС на ОП, обеспечивая таким образом минимальное число связей между ОП.

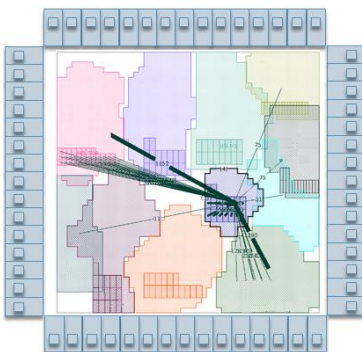


Рис. 5. Предлагаемый вариант планировки

Предложенный метод распределения ОП. В основе этого метода лежит оптимальное распределение ОП, опираясь на значения задержек ячеек. Метод осуществляется в следующей последовательности:

- распределить ОП по линейкам стандартных ячеек;

- рассчитать временные параметры схемы при предварительном распределении ОТ;
- для каждого ОТ определить критические временные пути и стандартные ячейки, расположенные рядом с ОТ;
- классифицировать каждую стандартную ячейку по величине задержки времени:

$$K_i = \frac{T_i}{\sum T_i}, \quad (5)$$

где  $K_i$  – коэффициент классификации;  $T_i$  – задержка стандартной ячейки, которая имеет максимальное значение по временному пути;

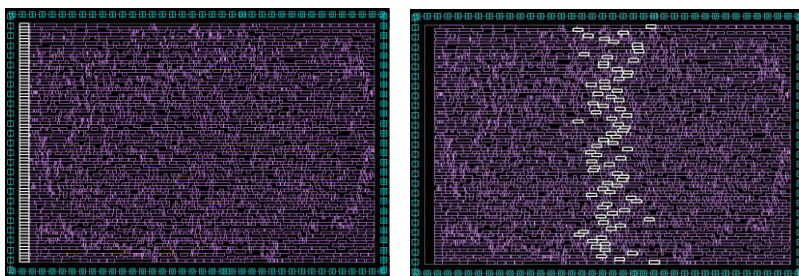
- оптимизировать координаты каждого ОТ по классу логических ячеек:

$$X_{\text{рас}} = \sum (X_i \cdot K_i), \quad (6)$$

где  $X_{\text{рас}}$  – коэффициент распределения;  $X_i$  – начальная координата каждой стандартной ячейки;

- анализировать временные параметры схемы с учетом падения напряжения на ОТ и сетей питания.

Для предварительной оценки эффективности метода ОТ распределены стандартным (рис. 6а) и предложенным (рис. 6б) методами. Сначала ОТ распределены стандартным методом, рассчитаны временные параметры схемы, а также величины падения напряжения. Для этой же схемы использован предлагаемый метод. Физический вид для двух методов приведен на рис. 6, где выделены ОТ.



а)

б)

Рис. 6. Распределение ОТ стандартным (а) и предложенным (б) методами

Сформирована таблица, где приведены результаты моделирования (табл. 1). Таким образом, в случае предложенного метода резервное время увеличивается, что приводит к увеличению скорости схемы. Поскольку добавляются новые этапы проектирования, то увеличивается время проектирования.

## Результаты моделирования

	VDDP (мВ)	VDD (мВ)	VSS (мВ)	Худшие временные задержки (нс)
Распределение ОТ стандартным методом	4,734	80,482	3,452	1,7084
	4,404	80,469	3,424	1,7174
	4,373	80,463	3,414	1,7236
	4,312	80,457	3,401	1,7251
	4,311	80,452	3,391	1,7484
Распределение ОТ предложенным методом	4,734	31,750	3,452	1,6469
	4,404	30,103	3,424	1,6538
	4,373	30,091	3,414	1,6567
	4,312	30,061	3,401	1,6589
	4,311	30,010	3,391	1,6002

Предложенная схема ОК. Современные ИС чувствительны к шумам. Среди источников выделяют шумы питания, поскольку они имеют большую величину. Схемы ОК используют для уменьшения шумов питания. Созданная схема ОК (рис. 7) имеет ряд преимуществ: совместимость с технологией производства трехмерных транзисторов, маленькие производственные отклонения, малый риск электростатической разрядки и хорошие частотные характеристики. По сравнению с другими схемами, предлагаемая схема имеет большую площадь и утечки тока.

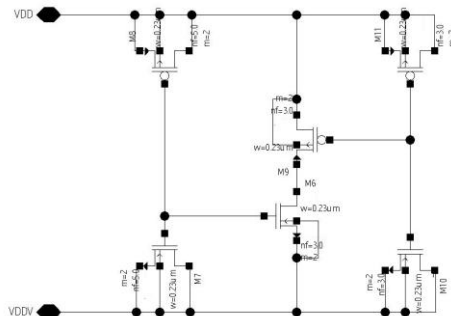


Рис. 7. Предложенная схема ОК

Предложенные схемы ОТ (рис. 8) для уменьшения шумов в цифровых ИС при “грубом” способе стробирования питания. В предложенных схемах ОТ (ПОТ) сочетаются схемы ОК и стандартного ОТ. При проектировании стандартные ОТ заменяются на ПОТ, и в виртуальных сетях питания шумы подавляются.

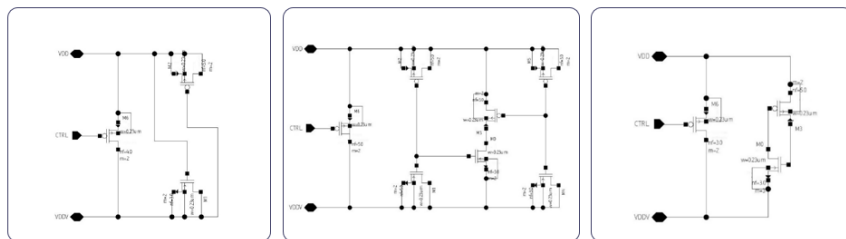
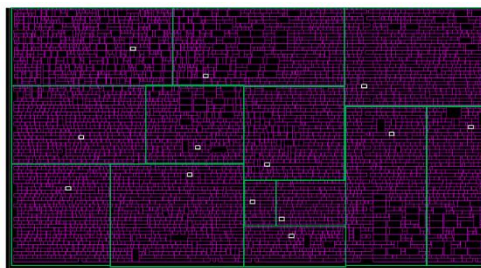
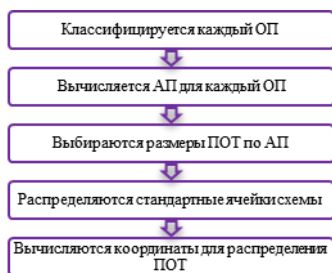


Рис. 8. Предложенные схемы ОТ

Разработанный метод распределения ПОТ. В основе метода лежит распределение ОТ, опираясь на величины энергопотребления и АП стандартных ячеек. Порядок осуществления метода приведен на рис. 9а. За счет усложнения процесса проектирования, увеличения площади схемы и времени проектирования была увеличена скорость схемы и уменьшена величина спада напряжения (рис. 9б).



а)

б)

Рис. 9. Метод распределения ПОТ (а) и физический вид схемы после распределения предложенных ОТ (б)

В третьей главе на основе описанных во второй главе принципов и методов в Physical Power Compiler (PPC) внедрено автоматизированное программное обеспечение. PPC программа была создана с помощью программных языков TCL, Java и Python в среде Eclipse. PPC компилирован для работы в CentOS 6 и более новых версиях операционной системы Linux.



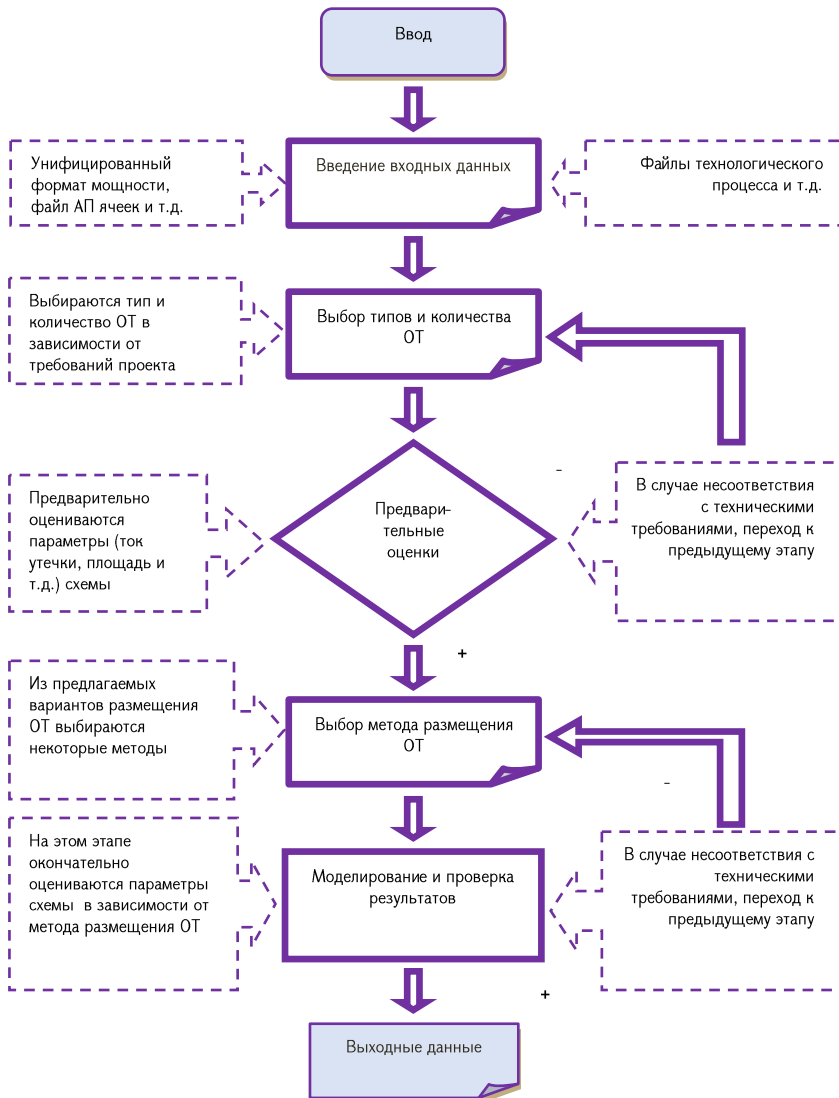


Рис. 10. Структура программы Physical Power Compiler

Программное обеспечение предназначено для выбора и размещения ОТ при “грубом” способе стробирования питания. Выбор ОТ производится в зависимости от специфики проекта. С помощью программного средства

предварительно оцениваются параметры цифровой ИС в зависимости от типа и количества ОТ.

Известно, что проектирование ИС с низким энергопотреблением занимает много времени по сравнению со стандартным методом. Причина этого в следующем: в стандартном маршруте проектирования добавляются этапы, характерные для конструкции с низким потреблением энергии. Программное обеспечение PPC соответствует следующим требованиям:

1. PPC может внедриться в потоки проектирования цифровых ИС.
2. Для эффективности работы и быстрого усвоения программа имеет простой в употреблении графический интерфейс.
3. Программное обеспечение имеет возможность развития. Кроме внедренных в программу методов, можно добавить новые методы, которые будут соответствовать развивающимся требованиям проектирования и производства ИС.
4. При применении PPC время физического проектирования сокращается до 10...25 раз.

Разработанное программное средство использует программы PrimeRail и PrimeTime, а также некоторые функции IC Compiler и IC Compiler II компании "Synopsys". Функции и этапы PPC приведены в блок-схеме (рис. 10).

С помощью PPC выбираются типы ОТ и методы размещения последних во время физического проектирования. Программа имеет 5 основных окон.

1. Data Setup – предназначено для ввода требований и данных (рис. 11а).
2. Power Switch Estimator – в этом окне выбираются тип и количество ОТ, а также производятся расчеты некоторых параметров схемы (рис. 11б).
3. Placement Method – с помощью окна выбираются методы размещения ОТ (рис. 11в). Программа поддерживает следующие типы размещения:
  - i. Place Power Switch with Area Mode – представляет собой стандартный вариант распределения ОТ, представленный в первой главе.
  - ii. Place Power Switch with Checkerboard Mode – здесь ОТ размещаются шахматным вариантом, описанным в первой главе.
  - iii. Place Power Switch with Ring Mode – здесь ОТ размещаются по кольцевому варианту вокруг схемы, представленному в первой главе.
  - iv. Place Power Switch with IR Drop Based Mode – этот метод выбирается в случае, когда есть необходимость улучшить падение напряжения в сетях и быстродействие схемы или уменьшить количество ОТ. Метод является первым вариантом, представленным во второй главе.

- v. Place Power Switch with SAIF Based Mode – при выбора этого метода активируется поле “Specify SAIF File”, где нужно указать файл АП для ячеек. С помощью этого метода производится более точный расчет координат ОТ.
4. После размещения ОТ анализируются полученные результаты и параметры схемы в окне Report (рис. 11г).
5. После анализа результатов в соответствии с их техническими требованиями выписываются координаты ОТ в выходном TCL файле, который будет использован во время физического проектирования. Этот процесс совершается с помощью окна Export. Характерно, что программа имеет возможность вывода TCL файла для программ IC Compiler и IC Compiler II, являющихся современными программными средствами для физического проектирования.

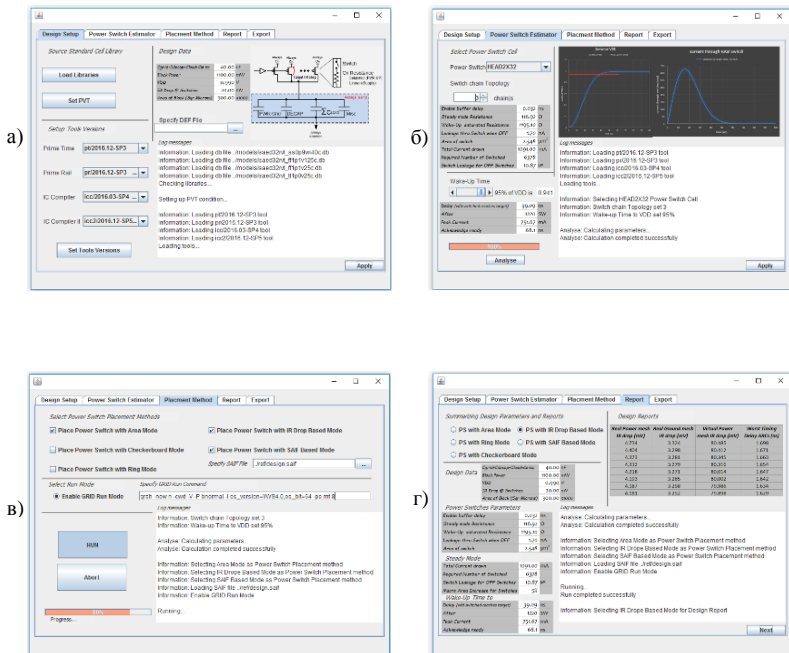


Рис. 11. Диалоговые окна Physical Power Compiler

Таблица 2

## Результаты проектирования

Цифровая схема	Падение напряжения на сетях питания и заземления		Метры размещения ОТ											
			Стандартный подход			Первый вариант			Второй вариант					
	VDDP (мВ)	VSS (мВ)	VDD (мВ)	Время резерва (нс)			VDD (мВ)	Время резерва (нс)			VDD (мВ)	Время резерва (нс)		
ChipTop	6,48	6,09	62,86	0,014	0,012	0,011	34,82	0,225	0,224	0,222	36,27	0,212	0,211	0,211
ARC600	5,66	5,32	50,81	0,013	0,012	0,012	23,61	0,267	0,266	0,266	26,95	0,244	0,242	0,242
ORCA	4,84	4,55	40,21	0,014	0,013	0,012	17,91	0,296	0,296	0,294	20,54	0,278	0,277	0,276
Узел «плавающая запятая» OpenSPARC T1	4,81	4,52	39,47	0,011	0,011	0,009	14,32	0,343	0,341	0,341	17,57	0,335	0,333	0,333
OpenRISC	8,17	7,68	87,42	0,012	0,012	0,011	52,63	0,193	0,191	0,189	54,11	0,184	0,183	0,183

Для подтверждения прикладного значения предложенных подходов выполнено несколько проектов на основе процессоров ChipTop, OpenRISC, ORCA и ARC600, а также для узла “плавающая запятая” процессора OpenSPARC T1. Использование программного средства Physical Power Compiler сокращает время всего процесса проектирования в 15...25 раз. При стандартном подходе размещения ОТ падение напряжения в сетях питания составляет 4,81...8,17 мВ, а в виртуальных сетях – 39,47...87,42 мВ. Применяя предложенные подходы к виртуальным сетям, значение падения питания уменьшается на 40...60%. Последнее, в свою очередь, приводит к уменьшению задержки критических путей схемы, и, как следствие, к повышению скорости схемы на 10...20%.

### ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложен новый метод планировки, который за счет увеличения времени проектирования и усложнения процесса физического проектирования оптимизирует проблемы теплоотдачи и энергопотребления цифровых ИС. В основе метода лежит распределение компонентных узлов на плоскости, опираясь на значения энергопотребления и активности переключения этих же узлов [1-3].
2. Разработан метод распределения отключающих транзисторов, который, с одной стороны, вызвал дополнительные сложности при построении сетей питания, с другой - улучшил временные параметры схемы на 10...20%. При этом значение падения напряжения уменьшилось на 40...60% без увеличения числа отключающих транзисторов [4-6].

3. Создана схема отключающего конденсатора, которая совместима с технологией трехмерных транзисторов, имеет маленькие производственные отклонения, малый риск электростатической разрядки, а также хорошие частотные характеристики. По сравнению с другими схемами, предлагаемая схема имеет большую площадь и утечки тока [7, 8].
4. Предложены конструкции отключающих транзисторов, которые за счет увеличения общей площади схем повышают помехоустойчивость цифровых ИС в сетях питания при “грубом” способе стробирования питания [9].
5. Разработан метод распределения отключающих транзисторов, который за счет усложнения процесса проектирования, увеличения площади схем и времени проектирования увеличивает быстродействие схемы на 10...15% и уменьшает величину спада напряжения на 40...50%. Суть метода заключается в распределении отключающих транзисторов, основанных на величинах энергопотребления и активностях переключения стандартных ячеек [9, 10].
6. Разработанные методы, принципы и способы выбора и распределения отключающих транзисторов внедрены в программном средстве Physical Power Compiler. В зависимости от выбора типа и метода распределения ОТ, при помощи программы можно рассчитать и спрогнозировать величины изменения параметров цифровых схем при “грубом” способе стробирования питания. За счет простого и удобного графического интерфейса последнего обеспечивается удобная структура для анализа результатов и моделирования. Программа в среднем в 10...25 раз сокращает время физического проектирования. Для проверки эффективности созданного программного обеспечения проведены испытания на многочисленных процессорных ИС, в частности, ChipTop, OpenRISC, ORCA и ARC600, а также для узла “плавающая запятая” OpenSPARC T1 процессора. Экспериментальные результаты свидетельствуют о высокой эффективности программного средства.

**Основные результаты диссертации** опубликованы в следующих работах:

1. Melikyan V., Hakhverdyan T., Manukyan S., Gevorgyan A., Babayan D. Low Power OpenRISC Processor with Power Gating, Multi-VTH and Multi-Voltage Techniques// IEEE East-West Design & Test Symposium, Oct. 14-17, 2016.- Yerevan, Armenia, 2016.- P. 33-36.
2. Goldman R., Bartleson K., Wood T., Watson A., Melikyan V., Babayan E., Hakhverdyan T. IC Design Course Based on the Synopsys DesignWare ARC 600 Processor Core and 32/28 nm Educational Design Kit // Interdisciplinary Engineering Design Education Conference (IEDEC).- Santa Clara, California, USA, 2014.- P.66-69.
3. Babayan D., Babayan E., Petrosyan P., Tumanyan A., Kagramanyan E., Hakhverdyan T. 1.9 GHz 1.05V 16-bit RISC Core for High Density and Low Power Operation in 28nm Technology// IEEE East-West Design & Test Symposium, Oct. 14-17, 2016.- Yerevan, Armenia, 2016.- P. 459-462.
4. Hakhverdyan T. Power Switch Planning Technique for Power Gating Designs // Proceedings of Engineering Academy of Armenia.- 2017.- V.14, N 2.- P. 317-322.
5. Մելիքյան Վ., Խաժակյան Տ., Հախվերդյան Տ., Մանուկյան Ս. Տարբեր հաճախականություններով տակտավորվող թվային սխեմաների համաձայնեցման եղանակ // ՀՀ ԳԱԱ և ՀԱՊՀ տեղեկագիր. Տեխնիկական գիտությունների սերիա.-2016.- Հատոր 69, N4, ISSN 0002-306X.- Էջ 381-392:
6. Геворгян А.М., Оганесян О.Э., Ахвердян Т.А. Разработка метода описания задержек стандартных ячеек в цифровых интегральных схемах// Международный научно-исследовательский журнал.- 2017.- № 05 (59), часть 3.- С. 32-36.
7. Melikyan V., Hakhverdyan T., Khazhakyan T., Safaryan K., Avetisyan A., Hayrapetyan A. On-Chip Decoupling Capacitor for Finfet Technology // 11th International Conference Semiconductor Micro- and Nanoelectronics (ICSMN-2017). – 2017. – P. 179-183
8. Melikyan V., Avetisyan A., Babayan D., Safaryan K., Hakhverdyan T. Write-Back Technique for Single-Ended 7T SRAM cell // XXXVII International Scientific Conference on Electronics and Nanotechnology, Apr. 18 -20, 2017.- Kyiv, Ukraine, 2017.- P. 112-115.
9. Hakhverdyan T. Advanced Method for Power Switch Planning in Power Gating Techniques // 11th International Conference Semiconductor Micro- and Nanoelectronics (ICSMN-2017). – 2017. – P. 199-203.
10. Melikyan V., Safaryan K., Avetisyan A., Hakhverdyan T. On-Chip Decoupling Capacitor Optimization Technique // XXXVII International Scientific Conference on Electronics and Nanotechnology, Apr. 18-20, 2017.- Kyiv, Ukraine, 2017.- P. 116-118.

## ԱՄՓՈՓԱԳԻՐ

Ինտեգրալ սխեմաների (ԻՍ) նախագծման և արտադրման գործընթացը տարեցտարի բարդանում է: Դա պայմանավորված է ԻՍ-երի նախագծմանն առաջադրվող խստացող պահանջներով, արտադրման ժամանակ նոր երևույթների առաջացմամբ, վերջիններիս լուծման համար ծախսվող միջոցներով և այլն: Վերջին տարիների ընթացքում ԻՍ-երի արտադրության կոմպլեմենտար մետաղ-օքսիդ-կիսահաղորդիչ (ՄՕԿ) տեխնոլոգիաներն անընդհատ ենթարկվել են մասշտաբավորման: Ներկայումս արդեն անցում է կատարվել 7 նմ և ավելի փոքր տեխնոլոգիաներին: Տրանզիստորների չափերի նման փոքրացման շնորհիվ մեծացել է տարրերի ինտեգրացման աստիճանը, ԻՍ-երի ֆունկցիոնալ հնարավորությունները, սխեմաների արագագործությունները և նվազել է դրանց ինքնարժեքը:

Մյուս կողմից, ՄՕԿ տրանզիստորի չափերի փոքրացման հետ մեկտեղ, գոյություն ունեցող բացասական երևույթների դերը զգալի մեծանում է, ինչպես նաև ի հայտ են գալիս նոր երևույթներ, որոնք վատթարացնում են ԻՍ-երի հիմնական պարամետրերը: ՄՕԿ տրանզիստորների հոսքուղու երկարության փոքրացման հետ մեկտեղ նվազում է նաև ԻՍ-ի սնման լարումը, որի հետևանքով սնման դողերի վրա լարման անկումները դառնում են էական: Տրանզիստորի արագագործության բարձրացման նպատակով փոքրացնում են վերջիններիս փականի տակ գտնվող օքսիդի շերտի հաստությունը: Դրա պատճառով նվազում են n-ՄՕԿ և p-ՄՕԿ տրանզիստորների շեմային լարումները: Արդյունքում սնման և ազդանշանային դողերում աղմուկների ազդեցությունը դառնում է էական:

Ներկայացված բացասական երևույթների շարքում ներկայումս առավել կարևոր է համարվում ԻՍ-երի և դրանց թվային հանգույցների էներգասպառման անթույլատրելի աճը: ԻՍ-ում տարրերի քանակի և խտության մեծացման դեպքում անխուսափելի է սխեմայի էներգասպառման աճը և սխեմայից անջատվող ջերմության քանակը: Վերջիններիս նվազեցումը անհրաժեշտ է ոչ միայն էլեկտրոնային սարքերում անթույլատրելի գերտաքացում թույլ չտալու համար, այլ նաև պայմանավորված է դյուրակիր սարքերը սնող մարտկոցների սահմանափակ էներգիայով: Էլեկտրոնային սարքերում էներգասպառման կրճատումը հանդիսանում է ժամանակակից թվային ԻՍ-երի նախագծման հիմնական մարտահրավերներից մեկը:

ԻՍ-երի էներգասպառման նվազեցման համար մշակվել են բազմաթիվ մոտեցումներ, որոնց անվանում են ցածր էներգասպառմամբ

սխեմաների նախագծում: Վերջինների կիրառումը թույլ է տվել նվազեցնել ԻՍ-երի էներգասպառումը մի քանի կարգով և լուծել վերոնշյալ խնդիրների մեծ մասը: Սակայն նախագծերի բարդացման ու տեխնոլոգիական պահանջների խստացման շնորհիվ անհրաժեշտություն է առաջանում կատարելագործել և զարգացնել ցածր էներգասպառմամբ նախագծման մեթոդները: Գոյություն ունեցող և առաջարկող մոտեցումները տալիս են միայն սխեմատեխնիկական լուծումներ, որտեղ հաշվի չեն առնվում ֆիզիկական նախագծման բարդությունները: Սակայն ԻՍ-երի ֆիզիկական նախագման ժամանակ ի հայտ են գալիս երևույթներ, որոնք վատթարացնում են սխեմաների պարամետրերը՝ արագագործություն, աղմկակայունություն, սնուցման լարման անկում և այլն: Արդյունքում վերջիններիս հաշվի չառնելը հանգեցնում է արտադրությունից հետո ԻՍ-երի աշխատանքի խափանման, արտադրությունից նախագծմանը վերադառնալու հավանականության, ինչպես նաև առաջացնում է ԻՍ-երի ելքի տոկոսի անկում, հետևաբար՝ շահույթի նվազում: Այսպիսով անհրաժեշտություն է առաջանում ստեղծել նոր մոտեցումներ ֆիզիկական նախագման ժամանակ:

Առաջարկվել է հատակագծման պլանավորման մոտեցում, որը սխեմայի ֆիզիկական նախագծման ընթացքի բարդացման և նախագծման ժամանակի մեծացման հաշվին օպտիմալացնում է թվային ինտեգրալ սխեմաների ջերմահեռացումը և էներգասպառումը: Մեթոդի հիմքում ընկած է ենթահանգույցների տեղաբաշխումը հարթության մեջ, հիմնվելով վերջիններիս փոխանջատման ակտիվության և էներգասպառման արժեքների վրա [1-3]:

Մշակվել է անջատող տրանզիստորների տեղաբաշխման մեթոդ, որը սնման և հողակցման ցանցերի կառուցման ժամանակ առաջացրել է լրացուցիչ բարդություններ, բայց լավացրել է սխեմայի ժամանակային պարամետրերը 10-20%-ով: Փոքրացել է նաև լարման անկման արժեքը 40-60%-ով՝ առանց անջատող տրանզիստորների քանակի մեծացման [4-6]:

Ստեղծվել է անջատման ունակության սխեմա, որը համատեղելի է եռաչափ տրանզիստորների արտադրության տեխնոլոգիայի հետ, ունի արտադրական փոքր շեղումներ, նվազել են էլեկտրաստատիկ պարպման ռիսկերը, ինչպես նաև ապահովվում են հաճախականային լավ բնութագրեր: Համեմատած մյուս սխեմաների հետ՝ առաջարկված սխեմայում օգտագործվել են ավելի շատ տրանզիստորներ, որի հետևանքով վերջինս ունի ավելի մեծ մակերես և մեծ կորստային հոսանք [7, 8]:



Առաջարկվել են անջատող տրանզիստորների կառուցվածքներ, որոնք սխեմայի ընդհանուր մակերեսի մեծացման հաշվին բարձրացնում են թվային ինտեգրալ սխեմաների սնման ցանցերում աղմկակայունությունը՝ հզորության շրջափակման կոպիտ եղանակի դեպքում [9]:

Մշակվել է անջատող տրանզիստորների տեղաբաշխման մեթոդ, որը սխեմայի մակերեսի մեծացման, նախագծման ընթացքի բարդացման ու նախագծման ժամանակի հաշվին մեծացրել է սխեմայի արագությունը 10-15%-ով և փոքրացրել լարման անկման արժեքը 40-50%-ով: Մեթոդի հիմքում ընկած է անջատող տրանզիստորների տեղաբաշխումը՝ հիմնված ստանդարտ բջիջների փոխանջատման ակտիվության և սպառած հոսանքների արժեքների վրա [9, 10]:

Ատենախոսությունում առաջարկված անջատող տրանզիստորների ընտրման և տեղաբաշխման մշակված եղանակները, մեթոդները և սկզբունքները ներդրված են «Physical Power Compiler» ծրագրային գործիքային միջավայրում: Վերջինիս արդյունավետության գնահատման համար մշակվել են տարբեր բարդությամբ թվային համակարգեր: Համեմատած ձեռքով նախագծման հետ, սխեմաների ֆիզիկական նախագծման տևողությունը նվազել է 10-ից 25 անգամ:

## TIGRAN ARAIK HAKHVERDYAN

### DEVELOPMENT OF PHYSICAL DESIGN MEANS FOR LOW POWER DIGITAL INTEGRATED CIRCUITS

#### SUMMARY

The modern process of designing and manufacturing integrated circuits (IC) is becoming more and more complicated from year to year. This is due to strict requirements for the IC design, the appearance of new phenomena in manufacturing, the cost for their solution, and so on. Over the last few years, the complementary metal-oxide-semiconductor (MOS) technology has been continuously minimized. Nowadays the MOS technology has reached down to 7 nm and smaller. Due to the reduced size of the transistors, the integration degree of elements has been increased, as well as the functional capabilities of the ICs are enlarged, the circuits become faster and their cost has been reduced.

On the other hand, with the reduction of the MOS transistor size, the roles of existing negative phenomena are noticeably increased, as well as new phenomena deteriorate ICs basic parameters. Along with MOS transistor channel length reduction the power supply voltage value decreases, and as a result the voltage drop value on the supply buses have become essential. To increase the transistor speed, the gate oxide thickness is reduced. Therefore, the NMOS and PMOS transistors threshold voltages are decreased. As a result, the noise effect in the supply buses becomes essential.

Among the above mentioned negative phenomena, the most important is the digital IC's unacceptable power consumption, which is indicated by data from surveys conducted among engineers. Thus, increasing the number and density of the transistors will lead power consumption growth for the IC, and larger amount of heat released from the circuit is inevitable. Power consumption reduction is necessary not only to prevent unauthorized overheating in electronic devices, but also for the limited energy consumption of portable devices. Reduction of energy consumption in electronic devices is one of the main challenges of contemporary digital IC's design.

Numerous approaches have been developed to reduce IC's power consumption, they're called "low power design methodology". They solve most of the above-mentioned problems. However, due to complications of designs and strict technological requirements, there is a need to improve and develop existing low power design methods. The existing and proposed approaches provide only schematic solutions, where physical design complexity and specificity aren't taken into account. During physical design some phenomena are occurred in ICs, which degrade the circuit parameters: speed, performance, noise resistance, IR drop

value, i.e. If these parameters are ignored, the IC will fail after production and it will be necessary to make multiple IC designs to meet requirements. This will lead to time lose and a drop in the percentage of ICs yield, and, consequently higher expenses.

This PhD thesis is dedicated to create new approaches, which will solve the problems associated with physical design during low power methodologies.

Floorplanning approach has been suggested, which optimizes digital IC's heat distribution and power consumption problems. It increases design time and physical design process complexity will increase. The method based on circuit's sub blocks allocation during floorplanning, based on standard cell switching activity and power consumption values.

A method for placing power switches has been developed, which improved the timing parameters of the IC by 10-20%. It also reduced the voltage drop value by 40-60%, while keeping the number of power switches the same, it just brings additional complications during power mesh creation.

The decap cell circuit has been proposed, which is compatible with FinFET technology. It has minimum on chip variation, low electrostatic discharge risk and good frequency responses. Compared to other circuits, the proposed one has more transistors, which increases total area of cells and leakage power. Core utilization is less than 60% in 10nm and below technology, so designer will not have area limitation during decap cells insertion.

The power switch circuits have been designed, which increase power mesh noise resistance during digital IC design for coarse grain power gating method, at the expense of increasing the overall area.

Another method for placing power switches has been proposed, which increase IC speed by 10-15% and reduce the IR drop value by 40-50%, at the expense of the increasing area and the complexity of the design process. The method is based on the allocation of power switches, based on the standard cell switching activity and the current values.

Physical Power Compiler software has been developed based on proposed approaches, methods and circuits for low power feature. In order to evaluate the efficiency of the software, it has been tested for several circuit designs: ChipTop, OpenRISC, ORCA and ARC600 processors, as well as for the "floating point" sub block of the OpenSPARC T1 processor. Due to user-friendly interface the tool improved design time by 10-25 times compared to manual design.

